

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-85970

(P2003-85970A)

(43)公開日 平成15年3月20日(2003.3.20)

(51) Int.Cl.⁷
 G 1 1 C 11/403
 11/406

識別記号

F I
 G 1 1 C 11/34

テ-マコ-ド(参考)
 3 7 1 J 5 M 0 2 4
 3 6 3 M
 3 6 3 K

審査請求 有 請求項の数16 O.L (全46頁)

(21)出願番号	特願2002-253650(P2002-253650)
(62)分割の表示	特願2000-363664(P2000-363664)の分割
(22)出願日	平成12年11月29日(2000.11.29)
(31)優先権主張番号	特願平11-345345
(32)優先日	平成11年12月3日(1999.12.3)
(33)優先権主張国	日本(J P)
(31)優先権主張番号	特願2000-67607(P2000-67607)
(32)優先日	平成12年3月10日(2000.3.10)
(33)優先権主張国	日本(J P)
(31)優先権主張番号	特願2000-177390(P2000-177390)
(32)優先日	平成12年6月13日(2000.6.13)
(33)優先権主張国	日本(J P)

(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(72)発明者	高橋 弘行 東京都港区芝五丁目7番1号 日本電気株式会社内
(72)発明者	稻葉 秀雄 東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人	100108578 弁理士 高橋 詔男 (外3名)

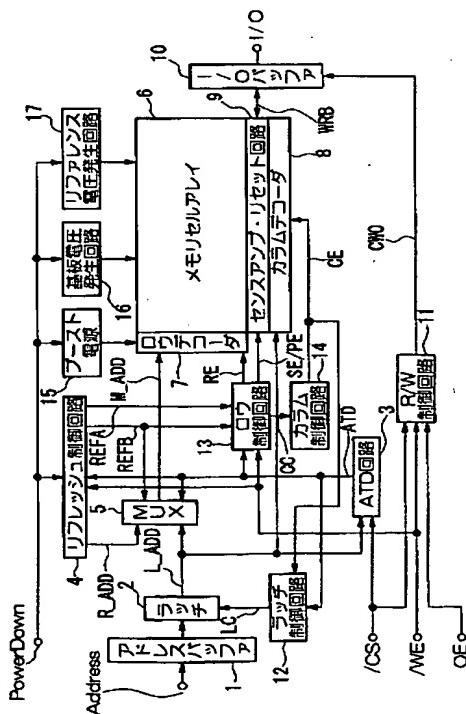
最終頁に続く

(54)【発明の名称】 半導体記憶装置及びそのテスト方法

(57)【要約】

【課題】 D R A M と同じメモリセルを備え、 S R A M 仕様で動作する半導体記憶装置であって、チップサイズが小さく低消費電力かつ安価で、アドレスに含まれるスキューによるアクセスの遅延やメモリセル破壊を引き起こさない半導体記憶装置を提供する。

【解決手段】 A T D 回路 3 は外部から供給されるアドレス Address の変化からアドレス変化検出信号 A T D にワンショットパルスを発生させる。その際、アドレスのビット毎にワンショットパルスを発生させてそれらを合成することで、アドレスにスキューが含まれる場合であってもワンショットパルスを 1 発だけ発生させる。まず、リフレッシュ制御回路 4 が生成したリフレッシュアドレス R_ADD を用いてワンショットパルスの発生期間中にリフレッシュする。次に、ワンショットパルスの立ち下がりを受け、ラッチ制御信号 L_C を生成してアドレスをラッチ 2 に取り込んでメモリセルアレイ 6 にアクセスする。



(2)

2

【特許請求の範囲】

【請求項1】 リフレッシュを必要とする複数のメモリセルを備えた半導体記憶装置において、前記リフレッシュに必要となる装置内の各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従つて、前記スタンバイ状態となったときに、前記リフレッシュに必要となる装置内の各回路を動作させ、あるいは、それらの動作を停止させる動作制御手段を具備することを特徴とする半導体記憶装置。

【請求項2】 前記複数のメモリセルで構成されるメモリセルアレイは、前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御される複数のメモリセルエリアに分割されており、前記動作制御手段は、前記メモリセルエリア及び該メモリセルエリアのリフレッシュに必要となる周辺回路からなるメモリプレート毎にそれぞれ設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記メモリプレートの各々は、該メモリプレートを構成する前記メモリセルエリアおよび前記周辺回路に電源供給を行う電源手段をさらに備え、前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記メモリプレート毎に設けられた前記電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段を備え、

前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記電源手段から前記メモリプレートの各々に電源を供給するかどうかを前記メモリプレート毎に制御する複数のスイッチ手段を具備することを特徴とする請求項2記載の半導体記憶装置。

【請求項5】 入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴とする請求項2～4の何れかの項に記載の半導体記憶装置。

【請求項6】 前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記リフレッシュに必要となる装置内の各回路は、

前記リフレッシュの制御を行うリフレッシュ制御手段と、

10 前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段とを有し、前記動作制御手段は、前記スタンバイ状態となったときに、前記リフレッシュ制御手段及び前記電源手段の双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択されたモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項1～6の何れかの項に記載の半導体記憶装置。

【請求項8】 前記動作制御手段は、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 メモリセルのリフレッシュに必要となる各回路の動作を制御する制御回路であって、前記各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従つて、前記スタンバイ状態となったときに、前記リフレッシュに必要となる各回路を動作させ、あるいは、それらの動作を停止させることを特徴とする制御回路。

【請求項10】 前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御されるメモリセルエリアと該メモリセルエリアのリフレッシュに必要となる周辺回路とからなるメモリプレート毎に設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴とする請求項9記載の制御回路。

【請求項11】 前記メモリプレート毎に設定された前記モードに応じて、前記メモリセルエリアおよび前記周辺回路に電源供給を行うために前記メモリプレート毎に設けられた電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項10記載の制御回路。

【請求項12】 前記メモリプレート毎に設定された前記モードに応じて、複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段から前記メモリプレートの各々に電源を供給するかどうかを制御する複数のスイッチ手段を具備することを特徴とする請求項10記載の制御回路。

【請求項13】 入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴とする請求項10～12の何れかの項に記載の制御回路。

【請求項14】 前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号

(3)

3

により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴とする請求項13記載の制御回路。

【請求項15】 前記スタンバイ状態となったときに、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段との双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択したモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴とする請求項9～14の何れかの項に記載の制御回路。

【請求項16】 所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴とする請求項15記載の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリセルアレイがDRAM (ダイナミック・ランダム・アクセス・メモリ) と同じメモリセルで構成されており、かつ、半導体記憶装置の外部から見たときにSRAM (スタティックRAM) と同様の仕様で動作する半導体記憶装置に関するものである。なかでも本発明は、メモリセルに対する書き込みタイミングを決定する書き込みイネーブル信号が書き込みアドレスに対して非同期的に与えられるSRAMと互換性を持った半導体記憶装置に関する。

【0002】

【従来の技術】 ランダムアクセスの可能な半導体記憶装置としてはSRAMおよびDRAMが最も代表的である。DRAMと比べた場合、SRAMは一般に高速である上に、電源を供給してアドレスを入力しさえすればそのアドレスの変化を捉えて内部の順序回路が動作して、読み出し・書き込みを行うことができる。このように、SRAMはDRAMに比べて単純な入力信号波形を与えるだけで動作するため、こうした入力信号波形を生成する回路の構成も簡単化することが可能である。

【0003】 また、SRAMはDRAMのようにメモリセルに記憶されたデータを保持し続けるためのリフレッシュが不要であることから、その取り扱いが容易であるとともに、リフレッシュを必要としないのでスタンバイ状態におけるデータ保持電流が小さいという長所がある。こうしたこともあるってSRAMは様々な用途に広く用いられている。しかし、SRAMは一般に1メモリセル当たり6個のトランジスタを必要とするため、DRAMに比べてどうしてもチップサイズが大きくなり、価格がDRAMに比べて高くならざるを得ないという短所があ

(3)

4

ある。

【0004】一方、DRAMはアドレスとして行アドレス及び列アドレスを2回に分けて別々に与え、これらアドレスの取り込みタイミングを規定する信号としてRAS (行アドレスストローク) 信号およびCAS (列アドレスストローク) 信号を必要とすること、定期的にメモリセルをリフレッシュするための制御回路が必要になることから、SRAMに比べてタイミング制御が複雑となってしまう。

【0005】また、DRAMは外部からのアクセスが無いときにもメモリセルのリフレッシュが必要となることから消費電流が大きくなってしまうという問題もある。とは言え、DRAMのメモリセルはキャパシタ1個とトランジスタ1個で構成可能であるため、小さなチップサイズで大容量化を図ることは比較的容易である。したがって、同じ記憶容量の半導体記憶装置を構成するのであればSRAMよりもDRAMの方が安価になる。

【0006】ところで、携帯電話などに代表される携帯機器が採用している半導体記憶装置としてはこれまでのところSRAMが主流である。これは、これまでの携帯電話には簡単な機能しか搭載されていなかったためそれほど大容量の半導体記憶装置が必要とされなかったこと、DRAMに比べてタイミング制御などの点でSRAMは扱いが容易であること、SRAMはスタンバイ電流が小さく低消費電力であるため、連続通話時間・連続待ち受け時間をできる限り伸ばしたい携帯電話などに向いていることなどがその理由である。

【0007】しかるに、ここどころ、非常に豊富な機能を搭載した携帯電話が登場してきており、電子メールの送受信機能や、各種のサイトにアクセスして近隣にあるレストランなどのタウン情報を取得するといった機能も実現されている。のみならず、ごく最近の携帯電話ではインターネット上のWEBサーバにアクセスしてホームページの内容を簡略化して表示するような機能も搭載されており、将来的には現在のデスクトップ型パソコンコンピュータと同様にインターネット上のホームページ等へ自由にアクセスできるようになることも想定される。

【0008】こうした機能を実現するためには、従来の携帯電話のように単純なテキスト表示を行っているだけでは駄目であって、多様なマルチメディア情報をユーザへ提供するためのグラフィック表示が不可欠となる。それには、公衆網などから受信した大量のデータを携帯電話内の半導体記憶装置上に一時的に蓄えておく必要が生じてくる。つまり、これから携帯機器に搭載される半導体記憶装置としてはDRAMのように大容量であることが必須条件であると考えられる。しかも、携帯機器は小型かつ軽量であることが絶対条件であるため、半導体記憶装置を大容量化しても機器そのものが大型化・重量化することは避けねばならない。

(4)

5

【0009】以上のように、携帯機器に搭載される半導体記憶装置としては扱いの簡便さや消費電力を考えるとSRAMが好ましいが、大容量化の観点からすればDRAMが好ましいことになる。つまり、これからの携帯機器にはSRAMおよびDRAMの長所をそれぞれ取り入れた半導体記憶装置が最適であると言える。この種の半導体記憶装置としては、DRAMに採用されているものと同じメモリセルを使用しながら、外部から見たときにSRAMとほぼ同様の仕様を持った「疑似SRAM」と呼ばれるものが既に考えられてはいる。

【0010】疑似SRAMはDRAMのようにアドレスを行アドレス、列アドレスに分けて別々に与える必要がなく、またそのためにRAS、CASのようなタイミング信号も必要としない。疑似SRAMでは汎用のSRAMと同様にアドレスを一度に与えるだけで良く、クロック同期型の半導体記憶装置のクロックに相当するチップイネーブル信号をトリガにしてアドレスを内部に取り込んで読み出し／書き込みを行っている。

【0011】もっとも、疑似SRAMは汎用のSRAMと完全な互換性を有しているとは限らず、その多くはメモリセルのリフレッシュを外部から制御するためのリフレッシュ制御用端子を具備しており、リフレッシュを疑似SRAMの外部で制御してやらねばならない。このため、疑似SRAMの多くはSRAMと比べたときに扱いが容易でなく、リフレッシュ制御のための余分な回路が必要となってくるといった欠点がある。こうしたことから、以下に紹介するように、疑似SRAMの外部でリフレッシュを制御しなくて済むようにして、汎用SRAMと全く同じ仕様で動作させるようにした疑似SRAMも考えられてきている。しかしこの種の疑似SRAMにも以下に述べるように様々な欠点がある。

【0012】

【発明が解決しようとする課題】まず、第1の従来例として特開昭61-5495号公報や特開昭62-188096号公報に開示された半導体記憶装置が挙げられる。前者の半導体記憶装置はリフレッシュ間隔を計時するためのリフレッシュタイマを内部に有しており、リフレッシュ間隔に相当する時間が経過した時点でリフレッシュスタート要求を発生させ、読み出し動作におけるビット線対の増幅動作が完了した後に、リフレッシュアドレスに対応するワード線を活性化させてセルフリフレッシュを行っている。こうすることで、半導体記憶装置の外部からメモリセルのリフレッシュを制御しなくとも済むようになっている。

【0013】また、後者の半導体記憶装置は前者の半導体記憶装置を実現するための動作タイミング制御回路についてその詳細構成を具体的に開示したものであって、基本的に前者の半導体記憶装置と同様のものである。次に、第2の従来例として特開平6-36557号公報に開示された半導体記憶装置が挙げられる。この半導体記

(4)

6

憶装置も内部にリフレッシュ用のタイマを備えており、所定のリフレッシュ時間が経過した時点でリフレッシュスタート要求を発生させて、読み出しが完了した後にセルフリフレッシュを行うようにしている。

【0014】しかしながら、第1の従来例や第2の従来例では書き込みタイミングを決定する書き込みイネーブル信号が如何なるタイミングで与えられるのかが全く考慮されておらず、次のような問題を生じる可能性がある。すなわち、疑似SRAMを汎用SRAMと同じ仕様

10 で動作させようとした場合、書き込みイネーブル信号はアドレスの変化に対して非同期に与えられることになる。また、リフレッシュスタート要求によるセルフリフレッシュも、アドレスの変化に対して非同期的に発生する。このため、書き込みイネーブル信号がリフレッシュスタート要求よりも遅れて入力されて例えばメモリサイクルの後半部分で有効化されたような場合、既にセルフリフレッシュが始まっていると、このセルフリフレッシュが完了した後でなければ書き込みを行うことができない。

20 【0015】しかしそうすると、セルフリフレッシュ後に行われる書き込みが大幅に遅れてしまうことになる。こうした事態を避けるにはセルフリフレッシュよりも書き込みを優先させる必要がある。ところがそうしてしまうと、リフレッシュスタート要求が発生した後に書き込みが連続して発生するような場合にセルフリフレッシュの入り込む余地がなくなってしまい、事実上セルフリフレッシュが不可能になってしまう可能性がある。

【0016】また、第1の従来例や第2の従来例ではアドレスにスキーが含まれる場合にアクセスが遅れてしまうという問題もある。すなわち、アドレスにスキーが存在する場合にはどうしてもスキー分だけワード線の選択動作を遅らせてやる必要がある。というのも、疑似SRAMが採用しているDRAMのメモリセルは一般に破壊読み出しであるため、あるワード線を活性化させてセンスアンプで読み出しを行ったときには、このワード線に接続されている全てのメモリセルに元々記憶されていたデータを当該センスアンプからこれらメモリセルへ書き戻してやる必要があるからである。

30 【0017】このため、一旦読み出しを開始してしまうとこれに対応する再書き込みが完了するまでは途中でワード線を切り替えてしまう訳にはゆかない。ところが、アドレスにスキーが含まれる場合にはアドレスの値が変化したのと等価であるため、結果的に活性化されるワード線が切り替えられてしまう。このため、複数のワード線が同時に活性化されてしまい、これらワード線に接続されているメモリセルのデータが同一のビット線上に読み出されてしまって、メモリセルのデータが破壊されてしまうことになる。

40 【0018】こうした事態を防ぐには、上述したようにアドレスに含まれるスキー分だけワード線を活性化す

(5)

7

るのを遅らせてやる必要がある。このため、読み出し後にリフレッシュを行うと、特にスキーが大きい場合において、スキーのためにワード線の選択動作を遅らせた分だけリフレッシュの始まりも遅れてしまうほか、リフレッシュ後の読み出し動作等も遅れてしまうことになる。

【0019】次に、第3の従来例として特開平4-243087号公報に開示された半導体記憶装置が挙げられる。この従来例では疑似SRAM自身にリフレッシュタイムを持たせずに、疑似SRAMの外部にタイマを設けるようにしている。そして、リフレッシュ時間が経過した後に最初のアクセス要求があった時点で、疑似SRAMの外部にてOE（出力イネーブル）信号を作り出し、このOE信号に従ってリフレッシュを行ってから当該アクセス要求に対応する読み出し又は書き込みを行うようしている。

【0020】しかしながら、この第3の従来例のような構成では消費電力が大きくなり過ぎてしまって、バッテリ駆動による長時間使用を前提とした携帯電話などの低消費電力製品には適用することができないという問題がある。というのも、第3の従来例では、チップイネーブル（CE）信号が有効になった時点で疑似SRAMが外部から入力されたアドレスをラッチして動作するようになっている。つまり、第3の従来例では疑似SRAMへアクセスする度にチップイネーブル信号を変化させる必要があるため、実装基板上に配線されたチップイネーブル信号のバス線の充放電電流によって消費電力が大きくなってしまう。

【0021】このほか、第4の従来例として特許第2529680号公報（特開昭63-206994号公報）に開示されている半導体記憶装置が挙げられる。この従来例では、外部からリフレッシュを制御するようにした旧来の疑似SRAMと同様の構成が開示されているほか、この疑似SRAMの構成を流用しながらさらに改良を加えた構成が示されている。

【0022】前者の構成では、出力イネーブル信号が有効になったことを受けてアドレス変化検出信号を生成し、疑似SRAM内部で生成されたりフレッシュアドレスに従ってセルフリフレッシュを行ったのち、出力イネーブル信号が無効になった時点で再びアドレス変化検出信号を生成して、疑似SRAM外部から与えられた外部アドレスについてもリフレッシュを行っている。しかしながら、出力イネーブル信号がリフレッシュ間隔毎に定期的に発生するのであれば外部アドレスを対象とした後者のリフレッシュは本来必要ではなく、外部アドレスについてリフレッシュを行っている分だけ無駄に電力を消費てしまっている。

【0023】一方、後者の構成では、外部アドレスの変化を捉えてアドレス変化検出信号を発生させ、このアドレス変化検出信号を契機として疑似SRAM内部で生成

8

されたリフレッシュアドレスに対してリフレッシュを行い、それから一定時間が経過した後に再びアドレス変化検出信号を発生させて外部アドレスを対象とした通常の読み出し・書き込みを行うようにしている。しかしこうした構成では外部アドレスにスキーが含まれるとき問題を生じることになる。

【0024】すなわち、外部アドレスにスキーが含まれている場合には、アドレスの各ビットが互いに異なるタイミングで変化するため、各タイミングについてアド

レス変化が検出されて、複数のアドレス変化検出信号が生成される。このため、最初のアドレス変化検出信号でリフレッシュが起動されるのは良いとしても、2番目以降のアドレス変化検出信号によって本来はリフレッシュの完了後に行われるべき外部アドレスに対する通常のアクセスが起動されてしまう。つまりこの場合、リフレッシュ中であるにも拘わらず外部アドレスに対するアクセス要求が為されてしまう。このため、第1の従来例や第2の従来例の説明で指摘したのと同じく、複数のワード線が同時に活性化されてしまい、これらワード線に接続されたメモリセルのデータが同一のビット線上に読み出されてしまうため、メモリセルのデータが破壊されてしまうことになる。

【0025】以上のほかにも既存の疑似SRAMには次のような問題がある。すなわち、汎用SRAMなどでは内部の回路に対する電源の供給を停止して消費電力を極めて小さくするスタンバイモードが設けられている場合が多い。ところが、疑似SRAMはメモリセルそのものがDRAMと同じであることからメモリセルに記憶されているデータを保持するためには常にリフレッシュを必要とする。このため、SRAMと同様に動作するとは言いいながら、従来の疑似SRAMでは汎用SRAMに採用されているようなスタンバイモードが特に設けられていない。

【0026】しかしながら、疑似SRAMを汎用SRAMと同様の仕様で動作させる以上は、使い勝手の面からしても汎用SRAMのスタンバイモードと同等の低消費電力モードを用意しておくことが望ましい。また、携帯電話等における昨今の著しい機能向上を考慮すると、今後は疑似SRAMが様々な用途に適用されることが予想される。

【0027】このため、汎用SRAMのように単にスタンバイ状態に設定できるという制御だけでは不十分となってくることが当然予想される。したがって、既存の汎用SRAMなどには無い疑似SRAM独自のスタンバイモードを先取りして提供してゆくことが必要となってくる。それには、ユーザのニーズやアプリケーションに応じてスタンバイ状態における消費電力をきめ細かく段階的に制御できれば極めて有用であると考えられる。

【0028】また、汎用DRAMではリフレッシュを当然の前提としているため、スタンバイという概念自体が

(6)

9

存在しないが、汎用DRAMにおいても低消費電力の要請は当然ながら存在している。したがって、スタンバイモードの概念を汎用DRAMにも取り入れ、ユーザのニーズやアプリケーションに応じてスタンバイ状態における消費電力をきめ細かく制御することで低消費電力化が可能となれば、汎用DRAMの新たな応用分野を開拓できるなどのメリットがあると考えられる。

【0029】本発明は上記の点に鑑みてなされたものであり、その目的は、リフレッシュによって通常のアクセスが影響されたり書き込みの連続によってリフレッシュができなくなったりする問題を生じず、また、アドレスにスキーが含まれるような場合にもアクセス遅延が生じたりメモリセルが破壊されたりといった不具合を生じることがなく、しかも、汎用のSRAM仕様で動作し大容量化してもチップサイズが小さく低消費電力であってなお且つ安価な半導体記憶装置を提供することにある。また、本発明の目的は汎用SRAMで採用されているのと同等のスタンバイモードや既存の半導体記憶装置には見られない独特の低消費電力モードを持った半導体記憶装置を提供することにある。なお、ここで述べた以外の本発明の目的については、後述する実施形態の説明から明らかとなる。

【0030】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、リフレッシュを必要とする複数のメモリセルを備えた半導体記憶装置において、前記リフレッシュに必要となる装置内の各回路をスタンバイ状態において動作させるかどうかが回路毎に規定された複数種類のモードの中から選択したモードに従って、前記スタンバイ状態となったときに、前記リフレッシュに必要となる装置内の各回路を動作させ、あるいは、それらの動作を停止させる動作制御手段を具備することを特徴としている。また、請求項2記載の発明は、請求項1記載の発明において、前記複数のメモリセルで構成されるメモリセルアレイは、前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御される複数のメモリセルエリアに分割されており、前記動作制御手段は、前記メモリセルエリア及び該メモリセルエリアのリフレッシュに必要となる周辺回路からなるメモリプレート毎にそれぞれ設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴としている。

【0031】また、請求項3記載の発明は、請求項2記載の発明において、前記メモリプレートの各々は、該メモリプレートを構成する前記メモリセルエリアおよび前記周辺回路に電源供給を行う電源手段をさらに備え、前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記メモリプレート毎に設けられた前記電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。また、請求項4記載の発

(6)

10

明は、請求項2記載の発明において、複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段を備え、前記動作制御手段は、前記メモリプレート毎に設定された前記モードに応じて、前記電源手段から前記メモリプレートの各自に電源を供給するかどうかを前記メモリプレート毎に制御する複数のスイッチ手段を具備することを特徴としている。

【0032】また、請求項5記載の発明は、請求項2～4の何れかの項に記載の発明において、入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴としている。また、請求項6記載の発明は、請求項5記載の発明において、前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴としている。

【0033】また、請求項7記載の発明は、請求項1～6の何れかの項に記載の発明において、前記リフレッシュに必要となる装置内の各回路は、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段とを有し、前記動作制御手段は、前記スタンバイ状態となったときに、前記リフレッシュ制御手段及び前記電源手段の双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択されたモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。

【0034】また、請求項8記載の発明は、請求項7記載の発明において、前記動作制御手段は、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴としている。

【0035】また、請求項9記載の発明は、メモリセルのリフレッシュに必要となる各回路の動作を制御する制御回路であって、前記各回路をスタンバイ状態において動作させるがどうかが回路毎に規定された複数種類のモードの中から選択したモードに従って、前記スタンバイ状態となったときに、前記リフレッシュに必要となる各回路を動作させ、あるいは、それらの動作を停止させることを特徴としている。また、請求項10記載の発明は、請求項9記載の発明において、前記スタンバイ状態となったときに前記リフレッシュを行うかどうかが独立に制御されるメモリセルエリアと該メモリセルエリアのリフレッシュに必要となる周辺回路とからなるメモリブ

(7)

11

レート毎に設定された前記モードに応じて、前記メモリプレートの各々を動作させ、あるいは、その動作を停止させることを特徴としている。

【0036】また、請求項11記載の発明は、請求項10記載の発明において、前記メモリプレート毎に設定された前記モードに応じて、前記メモリセルエリアおよび前記周辺回路に電源供給を行うために前記メモリプレート毎に設けられた電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。また、請求項12記載の発明は、請求項10記載の発明において、前記メモリプレート毎に設定された前記モードに応じて、複数の前記メモリプレートに対して電源供給を行うために前記複数のメモリプレート間で共有された電源手段から前記メモリプレートの各々に電源を供給するかどうかを制御する複数のスイッチ手段を具備することを特徴としている。

【0037】また、請求項13記載の発明は、請求項10～12の何れかの項に記載の発明において、入力モード信号に応答して、前記モードを前記メモリプレート毎に設定するためのプログラム手段を具備することを特徴としている。また、請求項14記載の発明は、請求項13記載の発明において、前記プログラム手段は、入力されたアドレスをもとに該アドレスに対応したメモリセルエリアを備えたメモリプレートを特定し、前記入力モード信号により指定されたモードを該特定されたメモリプレートに対するモードとして設定することを特徴としている。

【0038】また、請求項15記載の発明は、請求項9～14の何れかの項に記載の発明において、前記スタンバイ状態となったときに、前記リフレッシュの制御を行うリフレッシュ制御手段と、前記リフレッシュ制御手段および自身の電源手段を除いた所定の回路へ電源供給を行う電源手段との双方を動作させる第1のモード、前記リフレッシュ制御手段の動作を停止させるとともに前記電源手段を動作させる第2のモード、前記リフレッシュ制御手段及び前記電源手段の双方の動作を停止させる第3のモードの中から選択したモードに応じて、前記リフレッシュ制御手段及び前記電源手段を動作させ、あるいは、その動作を停止させることを特徴としている。また、請求項16記載の発明は、請求項15記載の発明において、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったことに応答してモードの設定を行うことを特徴としている。

【0039】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。ただし、本発明は以下に述べる実施形態に限定されるものではなく、例えば、これら実施形態における構成要素同士を適宜組み合わせても良い。

【0040】【第1実施形態】図1は本実施形態による

50

12

半導体記憶装置の構成を示すブロック図である。同図において、アドレスAddressは半導体記憶装置の外部から供給されるアクセスアドレスである。後述するメモリセルアレイが行列状に配列されていることに対応して、アドレスAddressは行アドレスおよび列アドレスを含んでいる。アドレスバッファ1はこのアドレスAddressをバッファリングして出力する。

【0041】ラッチ2は、ラッチ制御信号L_Cが“L”レベルである間(つまり、ラッチ制御信号L_Cが立ち下がったときから次に立ち上がるまでの間)はアドレスバッファ1から供給されているアドレスをそのまま内部アドレスL_ADDとして出力する。また、ラッチ2はアドレスバッファ1から供給されているアドレスをラッチ制御信号L_Cの立ち上がりで取り込んでラッチ制御信号L_Cが“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレスL_ADDとして出力する。

【0042】ATD(Address Transition Detector; アドレス変化検出)回路3はチップセレクト信号/C_Sが有効(“L”レベル)な場合に、内部アドレスL_ADDの何れか1ビットにでも変化があればアドレス変化検出信号ATDにワンショットのパルス信号を出力する。また、ATD回路3はチップセレクト信号/C_Sが有効化された場合にも、アドレス変化検出信号ATDにワンショットパルスを発生させる。なお、チップセレクト信号/C_Sは図1に示した半導体記憶装置をアクセスする場合に有効化される選択信号である。また、信号名の先頭に付与した記号“／”はそれが負論理の信号であることを意味する。

【0043】ここで、チップセレクト信号/C_Sについてさらに詳述する。チップセレクト信号/C_Sは半導体記憶装置(チップ)の選択/非選択を決定するための信号であって、特に、複数の半導体記憶装置から構成されるシステムにおいて、所望の半導体記憶装置を選択するために用いられる活性化信号である。以下の説明では、チップの選択/非選択を決める活性化信号としてチップセレクト信号を用いるが、本発明で使用可能な活性化信号はチップセレクト信号に限られるものではなく、これと同等の機能を持った信号であればどのような信号であっても良い。

【0044】このため、チップセレクト信号に代えて例えばチップイネーブル信号を用いることが考えられる。ただし、いわゆるチップイネーブル信号の中には、既存の疑似SRAMにおけるチップイネーブル信号のように、チップの活性化機能に加えてアドレスラッチタイミング制御機能を有するものがある。すなわち、【発明が解決しようとする課題】のところでも述べたように、既存の疑似SRAMでは、アドレス取り込みのタイミングを制御するためにチップイネーブル信号をクロック信号のように毎サイクル入力しているため、それによる消費

(8)

13

電力の増加が問題となっている。

【0045】これに対して、本発明の半導体記憶装置は、内部動作のトリガとなる信号をクロック信号のように毎サイクル入力しなくとも動作可能であることを一つの特徴としている。こうしたことから、本発明でチップイネーブル信号を活性化信号として使用する場合には、チップの活性化機能を持ち、なおかつ、アドレスラッチタイミング制御機能を持たない信号を使用することになる。

【0046】リフレッシュ制御回路4はアドレスカウンタ（リフレッシュカウンタ）及びリフレッシュタイマを内蔵している。リフレッシュ制御回路4はこれらとアドレス変化検出信号ATD、書き込みイネーブル信号/W_Eを利用して半導体記憶装置内部のリフレッシュを制御することで、リフレッシュアドレス及びリフレッシュタイミングを半導体記憶装置内部で自動的に発生させ、汎用のDRAMにおけるセルフリフレッシュと同様のリフレッシュ動作を実現している。ここで、アドレスカウンタはDRAMメモリセルをリフレッシュするためのリフレッシュアドレスR_ADDを順次生成する。なお、リフレッシュアドレスR_ADDはアドレスAddressに含まれる行アドレスと同じビット幅を持っている。

【0047】また、リフレッシュタイマは半導体記憶装置の外部から最後にアクセス要求があった時点からの経過時間を計時し、その経過時間が所定のリフレッシュ時間を超えた場合に、半導体記憶装置の内部でセルフリフレッシュを起動させるためのものである。そのため、リフレッシュタイマはアドレス変化検出信号ATDが有効となる度にリセットされて計時を再開するように構成される。

【0048】このほか、リフレッシュ制御回路4はリフレッシュタイミングを制御するためのリフレッシュ制御信号REF_A, REF_Bを生成する。なお、これらリフレッシュ制御信号の意味については図2を参照して後述するものとし、また、これらリフレッシュ制御信号の詳細なタイミングについては動作説明で明らかにする。

【0049】マルチプレクサ5（図中「MUX」）はアドレス変化検出信号ATD及び後述するリフレッシュ制御信号REF_Bのレベルに応じて、アドレス変化検出信号ATDが“L”レベルかつリフレッシュ制御信号REF_Bが“H”レベルであれば内部アドレスL_ADDに含まれる行アドレス（煩雑であるため、単に「内部アドレスL_ADD」という場合がある。）を選択してこれをアドレスM_ADDとして出力する。一方、アドレス変化検出信号ATDが“H”レベルであるかまたはリフレッシュ制御信号REF_Bが“L”レベルであれば、マルチプレクサ5はリフレッシュアドレスR_ADDを選択してアドレスM_ADDとして出力する。

【0050】次に、メモリセルアレイ6は汎用のDRAMで用いられているのと同様のメモリセルアレイであつ

(8)

14

て、行方向、列方向にそれぞれワード線、ピット線（またはピット線対；以下同じ）が走っており、汎用のDRAMと同様の1トランジスタ1キャパシタから成るメモリセルがワード線及びピット線の交点の位置に行列状に配置されて構成されている。

【0051】ロウデコーダ7はロウイネーブル信号REが“H”レベルのときにアドレスM_ADDをデコードし、このアドレスM_ADDで指定されたワード線を活性化させる。なお、ロウイネーブル信号REが“L”…レベルであるとき、ロウデコーダ7は何れのワード線も活性化させない。

【0052】カラムデコーダ8はカラムイネーブル信号CEが“H”レベルとなっているときに内部アドレスL_ADDに含まれる列アドレスをデコードし、この内部アドレスL_ADDで指定されたピット線を選択するためのカラム選択信号を生成する。なお、カラムイネーブル信号CEが“L”レベルであるとき、カラムデコーダ8はどのピット線に対応するカラム選択信号も生成することはない。

【0053】センスアンプ・リセット回路9は図示を省略したセンスアンプ、カラムスイッチ、プリチャージ回路から構成されている。このうち、カラムスイッチはカラムデコーダ8の出力するカラム選択信号で指定されたセンスアンプとバスWR_Bとの間を接続する。センスアンプはセンスアンプイネーブル信号SEが“H”レベルであるときに活性化されて、アドレスAddressで特定されるメモリセルの接続されたピット線電位をセンス・增幅してバスWR_Bに出力し、あるいは、バスWR_Bに供給された書き込みデータをピット線経由でメモリセルに書き込む。プリチャージ回路はプリチャージイネーブル信号PEが“H”レベルのときに活性化されて、ピット線の電位を所定電位（例えば電源電位の1/2）にプリチャージする。

【0054】I/O（入出力）バッファ10は、制御信号CWOのレベルに応じて同信号が“H”レベルであればバスWR_B上の読み出しデータを出力バッファでバッファリングしてバスI/Oから半導体記憶装置の外部に出力する。また、I/Oバッファ10は同信号が“L”レベルであれば、出力バッファをフローティング状態として半導体記憶装置外部からバスI/Oに供給される書き込みデータを入力バッファでバッファリングしてバスWR_Bに送出する。つまり制御信号CWOが“H”レベルであれば読み出し、“L”レベルであれば書き込みである。

【0055】次に、R/W（Read/Write）制御回路11はチップセレクト信号/C_S、書き込みイネーブル信号/W_Eおよび出力イネーブル信号OEに基づいて制御信号CWOを生成する。ここで、本発明による半導体記憶装置の仕様では、書き込みイネーブル信号/W_Eの立ち下がりエッジでデータの書き込み（取り込み）が開始

(9)

15

し、書き込みイネーブル信号／WEの立ち上がりエッジでデータが確定し、書き込み（取り込み）が終了する。なお、制御信号CWOの切換タイミングは動作説明に譲る。

【0056】ラッチ制御回路12はアドレス変化検出信号ATD及びカラムイネーブル信号CEに基づいて、アドレスAddressのラッチタイミングを決める上述したラッチ制御信号LCを生成する。ロウ制御回路13はリフレッシュ制御信号REFA、リフレッシュ制御信号REFB、アドレス変化検出信号ATD及び書き込みイネーブル信号／WEに基づいて、ロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PEおよび制御信号CCを生成する。カラム制御回路14はこの制御信号CCに基づいてカラムイネーブル信号CEを生成する。

【0057】ブースト電源15はメモリセルアレイ6内のワード線に印加される昇圧電位をロウデコーダ7に供給する電源である。また、基板電圧発生回路16はメモリセルアレイ6の各メモリセルが形成されたウエルまたは半導体基板に印加される基板電圧を発生させる回路である。さらに、リファレンス電圧発生回路17はメモリセルアレイ6、センスアンプ・リセット回路9内のセンスアンプやプリチャージ回路・イコライズ回路が使用するリファレンス電圧（例えば電源電位の $1/2 = 1/2$ Vcc）を発生させる。このリファレンス電圧の用途は主に次の3種類（①～③）あるが、現在ではダミーセルを設けない③の使い方が主流である。

【0058】① メモリセルを構成しているキャパシタの対極に印加される基準電圧（ $1/2$ Vcc）。

② ダミーセルを設ける場合に、メモリセルからビット線対の一方のビット線上に読み出された電位とダミーセルから他方のビット線上に読み出された電位（ $1/2$ Vcc）からメモリセルの保持データが“0”／“1”的何れかであるかをセンスアンプが判定する際の参照電位。

③ ダミーセルを設けない場合に、ビット線対のプリチャージ・イコライズ電圧として使用される基準電圧。この場合、一方のビット線にはメモリセルからの読み出し電圧が現れ、他方のビット線はセンス動作の開始直前にプリチャージ電圧（ $1/2$ Vcc）に設定される。

【0059】ここで、リフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16及びリファレンス電圧発生回路17にはパワーダウン制御信号PowerDownが供給されている。このパワーダウン制御信号PowerDownは半導体記憶装置をパワーダウン状態（スタンバイ状態）にするときのモードを半導体記憶装置の外部から指定する信号である。リフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16およびリファレンス電圧発生回路17は、後述するように、パワーダウン制御信号PowerDownに従ってそれぞれ自身に対する電源供給

50

16

を制御するようにしている。

【0060】本実施形態ではメモリセル自体がDRAMと同様のものであるため、SRAMのようにスタンバイ状態において単純に半導体記憶装置内の回路各部への電源供給を止めることはできない。スタンバイ状態であってもメモリセルのデータを保持するために、リフレッシュ動作に必要となる回路へ電源を供給し続ける必要がある。つまり、本実施形態の半導体記憶装置はスタンバイ状態に関してはSRAMとの互換性を完全にとることはできない。しかしながら、その分本実施形態では、スタンバイ状態におけるモードを幾つか設けてSRAMとの互換性をできる限りとともに、既存の半導体記憶装置には存在しないようなモードも設けている。

【0061】すなわち、本実施形態ではリフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17のうちの何れを動作させるかに応じて3種類のスタンバイモードを用意してある。本明細書ではこれらのスタンバイモードを便宜上スタンバイモード1～3と呼ぶことにする。スタンバイモード1は4種類の回路全てに電源を供給するモード、スタンバイモード2は4種類の回路のうちリフレッシュ制御回路4だけ電源供給を止めてこれ以外の3種類の回路には電源を供給するモード、スタンバイモード3は4種類の回路全てに対する電源供給を止めるモードである。

【0062】なお以上のようなことから、パワーダウン制御信号PowerDownを供給するための回路としては例えば、リフレッシュ制御回路4に電源を供給するための第1の電源供給線と、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17に電源を供給するための第2の電源供給線で構成すれば良い。

【0063】次に、各スタンバイモードについてさらに詳述すると、スタンバイモード1は通常のDRAMと同等の電源供給モードであって、3種類あるスタンバイモードの中では最も消費電流が大きい。しかし、この場合にはメモリセルのセルフリフレッシュに必要な全ての回路へ電源が供給されたままになっている。このため、スタンバイ状態に移行する直前におけるメモリセルのデータが保持されているほか、半導体記憶装置をスタンバイ状態からアクティブ状態へ移行させるまでの時間が3種類のスタンバイモードの中では最も短い。なお、スタンバイモード1に設定するには第1の電源供給線及び第2の電源供給線の双方へ電源を供給すれば良い。

【0064】一方、スタンバイモード2ではセルフリフレッシュに必要とされる回路に対して電源が供給されない。このため、スタンバイ状態においてメモリセルのデータを保持しておくことはできないが、その分スタンバイモード1に比べて消費電流を低減させることができ。つまりこのスタンバイモードは、スタンバイ状態でデータを保持しておくという既成概念から発想の転換を図ったものであって、スタンバイ状態からアクティブ状

(10)

17

態に移行したのちに、メモリセルアレイ全体に対して書き込みを行える状態になってさえいれば良いことを前提としている。したがって、アクティブ状態に復帰した時点では、スタンバイ状態に移行した時点のメモリセルのデータは保持されていない。こうしたことから、スタンバイモード2と次に述べるスタンバイモード3は半導体記憶装置をバッファとして使用する場合などに適したモードである。なお、スタンバイモード2に設定するには、第1の電源供給線に電源を供給しないようにしてリフレッシュ制御回路4への電源供給を停止させるようにする。

【0065】他方、スタンバイモード3はブースト電圧、基板電圧、リファレンス電圧を立ち上げる必要があるため、スタンバイ状態からアクティブ状態に移行するまでの時間が3種類あるスタンバイモードの中で最も長くなるが、その分、スタンバイモードにおける消費電流を最も小さくすることができる。なお、スタンバイモード1～3の何れの場合においても、上述した4種類以外の回路については必要な回路だけに電源を供給すれば良い。例えば、セルフリフレッシュを行うだけであれば、アドレスバッファ1、ラッチ2、ATD回路3、カラムデコーダ8、I/Oバッファ10、R/W制御回路1、ラッチ制御回路12、カラム制御回路14等は使われないので電源供給を停止しても構わない。なお、スタンバイモード3に設定するには、第1の電源供給線及び第2の電源供給線の何れにも電源を供給しないようにして、リフレッシュ制御回路4、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17への電源供給をすべて停止させるようにする。

【0066】以上のようなスタンバイモードを設けることで、半導体記憶装置が適用される機器やその使用環境などに応じて、スタンバイ状態におけるデータ保持の要否、アクティブ状態への復帰時間、電流消費量などを半導体記憶装置外部からきめ細かく制御できるようになる。なお、パワーダウン制御信号PowerDownは必須の機能というわけではないことからこれを省略してしまっても良く、そうすることで汎用のSRAMとI/Oピンの互換性を完全に保つことが可能となる。

【0067】次に、図2を参照して図1に示したATD回路3、ラッチ制御回路12、ロウ制御回路13及びカラム制御回路14の詳細回路構成について説明する。なお、図2において図1に示したものと同じ構成要素および信号名については同一の符号を付してある。

【0068】まずATD回路3について説明すると、インバータ31はチップセレクト信号/C_Sを反転させてチップセレクト信号C_Sを生成する。インバータ32、ディレイ回路33および NANDゲート(NAND)34は、チップセレクト信号C_Sの立ち上がりからインバータ32及びディレイ回路33で与えられる遅延時間と同じ幅を持った負のワンショットパルスを生成する。

18

【0069】次に、内部アドレスL_ADDiは図1に示す内部アドレスL_ADDのうちの特定の1ビットである。 NANDゲート35はチップセレクト信号C_Sが有効であるとき、インバータ36を通じてインバータ37、ディレイ回路38及び NANDゲート39から成る回路へ内部アドレスL_ADDiを供給する。これにより、内部アドレスL_ADDiの立ち上がりからインバータ37及びディレイ回路38で与えられる遅延時間と同じ幅を持った負のワンショットパルスを生成する。同様にして、インバータ40、

10 ディレイ回路41及び NANDゲート42から成る回路は、内部アドレスL_ADDiの立ち下がりからインバータ40及びディレイ回路41で与えられる遅延時間と同じ幅を持った負のワンショットパルスを生成する。

【0070】 NANDゲート43及びインバータ44は、チップセレクト信号C_Sの立ち上がり、内部アドレスL_ADDiの立ち上がり又は立ち下がりの何れかによって生成されたワンショットパルスを合成して得られる正のワンショットパルスを出力する。ディレイ回路45、ノア(NOR)ゲート46及びインバータ47は、インバータ44から出力される個々のワンショットパルスのパルス幅をディレイ回路45で与えられる遅延時間だけ延ばすためのものである。そうして以上のような回路ブロックが内部アドレスL_ADDのビット数分だけ設けられている。オア(OR)ゲート48は、内部アドレスL_ADDiの全ビットについて生成されるワンショットパルスを合成し、これをアドレス変化検出信号ATDとして出力する。

20 【0071】このように、本実施形態では内部アドレスL_ADDiの各ビットの変化からワンショットパルスをそれぞれ生成するとともに、それらワンショットパルスの論理和をとって合成するようしている。このようにしているのは次のような理由によるものである。いま仮に、アドレスAddressの何れかのビットが変化する度にアドレス変化検出信号ATDにワンショットパルスを発生させようとすると、アドレスAddressにスキューが含まれているときに複数個のアドレス変化検出信号が生成されてしまう。

30 【0072】そうすると、【発明が解決しようとする課題】のところでも説明したように、これらアドレス変化検出信号ATDによって複数のワード線が同時に活性化されてしまう。このため、複数のメモリセルに対して書き込みが行われ、あるいは、複数のメモリセルからの読み出しが同時に行われて再書き込みされるため、結果的にメモリセルのデータが破壊されてしまう。

40 【0073】そこで本実施形態では、アドレスAddressの各ビットのうち最初に変化があったビットについてまずワンショットパルスを発生させ、この最初のワンショットパルスが発生している期間中に他のビットに変化があった場合は、既に発生しているワンショットパルスと新たに発生したワンショットパルスを合成するようにし

50

(11)

19

ている。こうすることで、アドレスAddressにスキューリーが含まれていても、ワンショットパルスのパルス幅がアドレスAddressに含まれるスキューリーだけ長くなるにとどまり、1回分のアドレス変化で複数のワンショットパルスが発生してしまうことはなくなる。このため、メモリセルのデータの破壊といった上述のような問題が生じる懼れもなくなる。

【0074】なお、以上のようにするための条件としては、アドレスAddressに含まれていてもスキューリーがアドレス変化検出信号ATDのパルス幅の範囲内に収まるように、ディレイ回路33, 38, 41, 45などの遅延時間を決定すれば良い。ちなみに、スキューリーが大きい場合には発生するワンショットパルスのパルス幅をそれだけ広くする必要がある。このため、アドレス変化検出信号ATDが立ち下がるのがスキューリーだけ遅れてアクセスタイムが大きくなることが懸念される。しかし、汎用SRAMの仕様上、アクセスタイムはアドレスAddressが確定した時点を基準とした値になっているため、アドレスAddressの各ビットのうち最後に変化したビットからのアクセスタイムが保証されていさえれば、動作遅れとはならない。

【0075】また、動作説明の際に後述する通り、アドレス変化検出信号ATDのワンショットパルスが発生している間にリフレッシュが行われるため、このワンショット信号のパルス幅は1ワード線分のリフレッシュを完了させるのに必要な時間以上に設定しておくのが望ましい。したがって、上述したスキューリーを考慮した条件に加えてリフレッシュを考慮した条件も満足するようにディレイ回路33, 38, 41, 45の遅延時間を決定すれば良い。また、リフレッシュが完了した直後にアドレス変化検出信号ATDのワンショットパルスを立ち下げるようすければ、それに引き続いでアドレスAddressに対する読み出し／書き込みのアクセスがなされることになる。

【0076】次に、ロウ制御回路13について説明すると、インバータ30はアドレス変化検出信号ATDを反転させてアドレス変化検出信号/ATDを生成する。また、ディレイ回路49, ノアゲート50, インバータ51, ディレイ回路52, ナンドゲート53, ナンドゲート54から成る回路は、書き込みイネーブル信号/WE又はアドレス変化検出信号ATDをもとに、半導体記憶装置外部から要求されたアクセスに必要となるロウイネーブル信号RE, センスアンプイネーブル信号SE, カラムイネーブル信号CE, プリチャージイネーブル信号PE, ラッチ制御信号LCを発生させるための回路である。

【0077】これらのうち、ディレイ回路49, ノアゲート50, インバータ51から成る回路は、内部アドレスL_ADDi又はチップセレクト信号/CSの変化でアドレス変化検出信号ATDが“H”レベルになる以前に書き

(11)

20

込みイネーブル信号/WEが“L”レベルとなった場合であっても、ロウイネーブル信号RE, センスアンプイネーブル信号SE, カラムイネーブル信号CE, プリチャージイネーブル信号PE, ラッチ制御信号LCにパルスが順次発生してしまう不具合の無いようにするためにものである。

【0078】そのためには、アドレス変化検出信号ATDが立ち上がってインバータ30から NANDゲート54へ“L”レベルが供給されたのちに、書き込みイネーブル信号/WEがノアゲート50, インバータ51, ナンドゲート53を通じて NANDゲート54へ供給されるようすれば良い。そこで、書き込みイネーブル信号/WEをディレイ回路49で遅延させた信号と書き込みイネーブル信号/WEそのものをノアゲート50, インバータ51で論理和するとともに、ディレイ回路49の遅延時間を調整して上記不具合が起こらない程度に書き込みイネーブル信号/WEの立ち下がりを遅らせている。なお、上記回路では、書き込みイネーブル信号/WEの立ち上がりに対応してインバータ51の出力も立ち上がるようになっているため、書き込みイネーブル信号/WEが“H”レベルとなったときに直ちにリセット動作へ移行することが可能である。

【0079】次に、ディレイ回路52, ナンドゲート53, ナンドゲート54から構成される回路は、書き込みでない場合(つまり、書き込みイネーブル信号/WEが“H”レベルであってインバータ51から NANDゲート53に“H”レベルが供給される場合)、アドレス変化検出信号ATDの立ち下がりエッジからロウイネーブル信号REにワンショットパルスを発生させる。また、この回路はアドレス変化検出信号ATDが“L”レベルのときに書き込み要求がある間、ロウイネーブル信号RE, センスアンプイネーブル信号SE, カラムイネーブル信号CE, プリチャージイネーブル信号PE, ラッチ制御信号LCを“H”レベルに維持する働きをしている。すなわち、アドレス変化検出信号ATDが“L”レベルであれば、インバータ30から NANDゲート53及びNANDゲート54には“H”レベルが供給される。したがって、このときにインバータ51から出力される書き込みイネーブル信号/WEが“L”レベルであれば、NANDゲート53, NANDゲート54, NANDゲート65を通じてロウイネーブル信号REが“H”レベルのままとなる。

【0080】そして、NANDゲート54の出力はインバータ55～58で遅延されてから制御信号CCとして出力される。この制御信号CCはカラム制御回路14を構成しているインバータ59～61でさらに遅延されてカラムイネーブル信号CEとなる。また、ロウ制御回路13において、インバータ62, ディレイ回路63及びNANDゲート64からなる回路はリフレッシュに必要となるロウイネーブル信号RE, センスアンプイネーブル信

(12)

21

号S E, プリチャージイネーブル信号P Eを発生させるための回路である。すなわちこの回路は、リフレッシュ制御信号R E F Aが“H”レベルの場合に、アドレス変化検出信号A T Dの立ち上がりからインバータ6 2及びディレイ回路6 3で与えられる遅延時間に相当するパルス幅を持った負のワンショットパルスを生成する。そして、 NANDゲート6 5はリフレッシュ制御信号R E F B, NANDゲート5 4及びNANDゲート6 4の出力を合成し、これをロウイネーブル信号R-Eとして出力する。

【0081】なお、リフレッシュ制御信号R E F Aは半導体記憶装置の外部からのアクセス要求に付随してリフレッシュを行うか否か制御するための信号である。すなわち、同信号が“H”レベルであれば、当該アクセス要求により生じるアドレス変化検出信号A T Dの立ち上がりでロウイネーブル信号R Eにワンショットパルスを発生させてリフレッシュを起動する。これに対して同信号が“L”レベルであれば、アドレス変化検出信号A T Dにワンショットパルスが発生していても、ロウイネーブル信号R Eにワンショットパルスを発生させることはない。

【0082】ここで、本実施形態では、アドレス変化検出信号A T Dの発生をトリガとするリフレッシュ動作として以下の実現形態を前提に説明を行う。すなわち本実施形態では、読み出し又は書き込みに伴うリフレッシュ動作が連続する場合、これら各メモリサイクルでリフレッシュを連続的に行ってゆくことで、メモリセル全体をリフレッシュする。そして、全てのメモリセルをリフレッシュした時点で、いったんリフレッシュを発生させない状態とする。その後、メモリセルのデータを保持できる限界の状態（セルホールドリミット）に近づいたときにこれを検出し、連続するメモリサイクルで継続的にリフレッシュを行ってゆく状態に再び移行する。

【0083】リフレッシュ制御信号R E F Aを立ち下げる要因としては、外部からのアクセス要求に伴うリフレッシュによって1リフレッシュサイクル分のリフレッシュが完了したものの、次のリフレッシュサイクルのリフレッシュを起動するにはまだ時間がある場合、あるいは、セルフリフレッシュを起動させたためにこれが完了するまでは外部からのアクセス要求に伴うリフレッシュを行う必要がなくなった場合である。

【0084】ここで、リフレッシュ制御信号R E F Aを生成するには、リフレッシュ制御回路4内部にリフレッシュ制御信号R E F Aを保持するラッチ回路を設けて、アドレス変化検出信号A T D及びリフレッシュタイマの出力信号によってこのラッチ回路のセット・リセットを制御する構成などが考えられる。具体的には、リフレッシュ動作が必要になる（セルホールドリミットの）少し前のタイミングをリフレッシュタイマで生成し、その出力信号に基づいてリフレッシュ制御回路4の内部でラッチ回路のセット信号を生成してラッチ回路をセットし、

10

20

30

40

50

22

リフレッシュ制御信号R E F Aに“H”レベルを出力する。なお、セット信号を生成するタイミングはサイクルタイムの最大値を目安にして決めるようとする。その後、ロウ制御回路1 3が、アドレス変化検出信号A T D、または、リフレッシュ制御信号R E F Aに基づいて発生するリフレッシュ制御信号R E F Bをトリガとして、ワード線単位でメモリセルのリフレッシュ動作を行ってゆく。そして、全てのメモリセルのリフレッシュ動作が行われたときに、リフレッシュ制御回路4内部でラッチ回路のリセット信号を生成してラッチ回路をリセットし、リフレッシュ制御信号R E F Aに“L”レベルを出力する。

【0085】なお、ラッチ回路のリセットは、最後のワード線をリフレッシュするリフレッシュサイクルで、リフレッシュ動作の終わる時間に合わせて行えば良い。あるいは、リフレッシュ動作を完了させたときにロウ制御回路1 3がリフレッシュ動作完了信号を生成するようにし、リフレッシュ制御回路4がこのリフレッシュ動作完了信号を最後のワード線に対するリフレッシュサイクルで受け取ったときにラッチ回路をリセットするようにしても良い。ただし、後述する図7の場合を考慮して、リフレッシュ制御信号R E F Aを立ち上げたときから、この立ち上がりのうちに最初に行われるリフレッシュが終了するときまでの間に、アドレス変化検出信号A T Dが発生する（図8を参照）か書き込みイネーブル信号/W Eが入力される（図10, 図11を参照）かしていないければ、この最初のリフレッシュが終了した後にラッチ回路をリセットする。

【0086】一方、リフレッシュ制御信号R E F Bはセルフリフレッシュのための信号である。すなわち、リフレッシュ制御信号R E F Bに負のワンショットパルスを与えることで、NANDゲート5 4及びNANDゲート6 4の出力に関係なくロウイネーブル信号R Eへ強制的にワンショットパルスを発生させてセルフリフレッシュを起動することが可能である。

【0087】ここで、リフレッシュ制御信号R E F Bを生成するには、リフレッシュ制御信号R E F Aを遅延させる遅延回路と負のワンショットパルスを発生させるパルス発生回路とをリフレッシュ制御回路4内部に設けて、パルス発生回路から負のワンショットパルスを発生させるタイミングを遅延回路で遅延させたリフレッシュ制御信号R E F Aとアドレス変化検出信号A T Dとで制御する構成などが考えられる。

【0088】通常、リフレッシュ制御信号R E F Bは“H”レベルとなっている。この状態でリフレッシュ制御信号R E F Aが立ち上げられて“H”レベルとなった場合に、このリフレッシュ制御信号R E F Aの立ち上がりを遅延回路で所定時間遅延させ、この遅延の間にアドレス変化検出信号A T Dが発生しなかったときには、遅延されたリフレッシュ制御信号R E F Aの立ち上がりでパル

(13)

23

ス発生回路を起動し、リフレッシュ制御信号REFBに負のワンショットパルスを出力させる。

【0089】上記所定時間の遅延は、アドレス変化検出信号ATDを発生させるトリガが外部から与えられないためにメモリセルのリフレッシュに要求されるリミットの時間になってしまふまでを計測するためのものである。また、後述(図11を参照)するように、上記遅延の間に書き込みイネーブル信号/WEが立ち下がれた場合には書き込みを行つてからセルフリフレッシュを行うため、この書き込みに要する時間も考慮に入れて、上記リフレッシュ制御信号REFAを立ち上げるタイミング及び上記所定時間の遅延を設定する。

【0090】なお、本発明は上述したリフレッシュ動作の実現形態に限定されるものではなく、例えば、メモリセルを所定本数のワード線毎(すなわち、1ワード線毎あるいは複数ワード線毎)に一定周期でリフレッシュするような形態としても良い。この場合、リフレッシュ制御信号REFBを発生させる回路構成は上述したものと同じで良いが、リフレッシュ制御信号REFAを発生させるための回路構成は例えば次のようになる。まず、リフレッシュタイマはリフレッシュを起動するためのトリガ信号を一定周期で発生させる。次に、上記の場合と同様にして、リフレッシュ制御回路4内部にラッチ回路を設け、リフレッシュタイマの出力するトリガ信号に基づいて、リフレッシュ動作が必要になる少し前のタイミングで発生させたセット信号によりラッチ回路をセットしてリフレッシュ制御信号REFAを'H'レベルにする。なお、この場合も、ラッチ回路をセットするタイミングはサイクルタイムの最大値を目安にして決定する。

【0091】その後、アドレス変化検出信号ATDまたはリフレッシュ制御信号REFBを受けたロウ制御回路13がメモリセルに対するリフレッシュ動作を完了させるタイミングに合わせて、リフレッシュ制御回路4は発生させたりセット信号でラッチ回路をリセットし、リフレッシュ制御信号REFAを'L'レベルとする。なお、この場合のラッチ回路のリセットは、ラッチ回路をセットしたときから一定時間遅れたタイミングで行えば良い。あるいは、ロウ制御回路13がリフレッシュ動作を完了させたときにリフレッシュ動作完了信号を生成するようにして、リフレッシュ制御回路4がこのリフレッシュ動作完了信号を受け取ったときにラッチ回路をリセットしても良い。ちなみにこの形態では、アドレス変化検出信号ATDをトリガとするリフレッシュ動作が終了すると、各メモリサイクルでリフレッシュ制御信号REFAが立ち下がるようになる。このリフレッシュ制御信号REFAの信号波形は、例えば図4に示されているリフレッシュサイクルのときの信号波形と同じものになる。

【0092】次に、インバータ66～69はロウイネーブル信号REを遅延させてセンスアンプイネーブル信号SEを生成する。また、インバータ70、71はインバ

(13)

24

ータ68の出力をさらに遅延させることによって、ロウイネーブル信号REをインバータ5段分遅延させた負のワンショットパルスを生成する。インバータ72、ディレイ回路73、 NANDゲート74及びインバータ75からなる回路は、ロウイネーブル信号REをインバータ5段分遅延させた信号の立ち上がりからインバータ72及びディレイ回路73で与えられる遅延時間分のパルス幅を持ったワンショットパルスを発生させ、これをプリチャージイネーブル信号PEとして出力する。つまり、プリチャージイネーブル信号PEのワンショットパルスはロウイネーブル信号REの立ち下がりに対応して生じることになる。

【0093】次に、ラッチ制御回路12において、インバータ76、インバータ77、ディレイ回路78、 NANDゲート79及びインバータ80からなる回路は、カラムイネーブル信号CEの立ち下がりからインバータ77及びディレイ回路78の遅延時間に相当する幅を持った正のワンショットパルスを発生させる。nチャネルのトランジスタ81は、インバータ80からワンショットパルスが供給されることでラッチ制御信号LCを接地電位に接続して“L”レベルとする。また、ループ状に接続されたインバータ82、83はラッチ制御信号LCを保持するためのラッチ84を構成しており、トランジスタ81がオンすることによってラッチ84の保持する値が“0”にリセットされる。

【0094】また、インバータ85、インバータ86、ディレイ回路87、 NANDゲート88及びインバータ89から成る回路は、アドレス変化検出信号ATDの立ち下がりからインバータ86及びディレイ回路87の遅延時間に相当する幅を持った正のワンショットパルスを発生させる。nチャネルのトランジスタ90は、インバータ89からワンショットパルスが供給されることでインバータ82の入力端子を接地電位に接続する。これによってラッチ制御信号LCが“H”レベルになるとともにラッチ84の保持する値が“1”にセットされる。つまり、ラッチ制御信号LCはアドレス変化検出信号ATDの立ち下がりからカラムイネーブル信号CEの立ち下がり時点まで“H”レベルとなる信号である。

【0095】次に、上記構成による半導体記憶装置の動作を場合分けして順次説明する。
 (リフレッシュを伴う読み出し)
 まず最初に図3のタイミングチャートを参照しつつ、読み出しあдресを順次変えてゆくことで読み出しに伴ってリフレッシュが行われてゆく場合の動作について説明する。なお、図3では、アドレス変化検出信号ATDの発生をトリガとしたリフレッシュ動作を各メモリサイクルで連続的に行うときのタイミングを示している。このため、リフレッシュ制御信号REFA、REFBは何れも'H'レベルに固定されており、図3にはこれらの信号を特に示していない。また、この場合は読み出しであることから書き込みイネーブル信号/WEは

(14)

25

H' レベルのままとなる。さらに、図3に示した「Rx_Wo rd」はリフレッシュアドレスR_ADDに対応するワード線のことであり、「Ax_Word」はアドレスAddressに対応するワード線のことである。また、同図では、図3に示したよりも以前からリフレッシュアドレスR_ADDの値が“R 1”になっているものとする。

【0096】まず時刻t 1になると、アドレスAddressがそれまでの値から“A 1”に変化を開始するとともにチップセレクト信号/C-Sが有効化される。このとき、後述する説明から明らかのようにラッチ制御信号LCは“L”レベルになっている。そのため、アドレスAddressはアドレスバッファ1でバッファリングされ、ラッチ2をスルーで通過して内部アドレスL_ADDとなってATD回路3に供給される。もっとも、アドレスAddressにはスキーが含まれる可能性があるため、汎用SRAMの場合と同じくこの時点でアドレスAddressの値が確定しているとは限らない。

【0097】このため、時刻t 1でラッチ2にアドレスの取り込みを行うことはできないが、この後にラッチ制御信号LCが“H”レベルとなるまでにはその値が“A 1”に確定することから、そうなった時点でラッチ2に取り込みを行うことになる。こうしたことから本実施形態では、半導体記憶装置外部から供給されるアドレスAddressの値が確定していない待機期間をリフレッシュに充てることにして、汎用SRAMでは内部動作が行われていない待機期間を有効利用するようにしている。

【0098】次に、アドレスAddress(=内部アドレスL_ADD)が変化したことと、時刻t 2になるとATD回路3はアドレス変化検出信号ATDにワンショットパルスを発生させる。アドレス変化検出信号ATDが立ち上がると、マルチプレクサ5はリフレッシュアドレスR_ADD側を選択するようになり、時刻t 3でアドレスM_ADDの値が“R 1”となる。また、アドレス変化検出信号ATDが立ち上がったことで、ロウ制御回路13は時刻t 4からロウイネーブル信号REにワンショットパルスを発生するようになる。

【0099】すると、ロウイネーブル信号REが立ち上がったことで、ロウデコーダ7はアドレスM_ADDの値“R 1”をデコードし、時刻t 5になるとワード線Rx_Wordを活性化させる。その結果、メモリセルアレイ6ではワード線Rx_Wordに接続されたメモリセルの保持データがビット線上の電位として現れるようになる。一方、ロウイネーブル信号REにワンショットパルスが発生したことと、時刻t 6になるとセンサンプイネーブル信号SEにもワンショットパルスが生成される。これにより、センサンプ・リセット回路9内のセンサンプが活性化され、ワード線Rx_Wordに接続された各メモリセルのリフレッシュが行われる。なお、リフレッシュ自体はDRAMで行われているものと全く同じであって周知の技術事項であるため、ここでは詳しく説明することは

(14)

26

しない。

【0100】この後、時刻t 7でロウイネーブル信号REに発生したワンショットパルスが立ち下がるとロウデコーダ7がワード線Rx_Wordを非活性化させるため、時刻t 8でワード線Rx_Wordが非活性化される。またロウ制御回路13は時刻t 9になると、先の時刻t 7でロウイネーブル信号REが立ち下がったことを受けてセンサンプイネーブル信号SEを立ち下げる。このため、リフレッシュを終えたセンサンプ・リセット回路9内の

10 センサンプが非活性化される。また、ロウ制御回路13はロウイネーブル信号REの立ち下がりを受けて時刻t 10でプリチャージイネーブル信号PEにワンショットパルスを発生させる。

【0101】これにより、センサンプ・リセット回路9内のプリチャージ回路は次のアクセスに備えてビット線をプリチャージする。なお、リフレッシュの過程ではメモリセルのデータを半導体記憶装置外部へ出力する必要がないことから、読み出しの場合とは異なって、ロウイネーブル信号REにワンショットパルスが生成されてもカラムイネーブル信号CEにはワンショットパルスを発生させないようにしている。このため、カラムデコーダ8はカラム選択信号を何れも非活性状態のままとし、図示したように例えばカラム選択信号Yj(Ax)は“L”レベルのままとなる。

【0102】次に、時刻t 11でアドレス変化検出信号ATDのワンショットパルスが立ち下がると、図3には示していないが出カイネーブル信号OEが有効になる。そこで、R/W制御回路11はメモリセルからの読み出しに備えて制御信号CWOを“H”レベルにする。また、I/Oバッファ10はバスWRBを介してセンサンプ・リセット回路9が出力するデータをバスI/Oへ送出するようになる。もっとも、この時点ではまだバスWRB上のデータは確定していない。さらに、アドレス変化検出信号ATDが立ち下がったことを受けて、リフレッシュ制御回路4は時刻t 12になった時点でリフレッシュアドレスR_ADDを更新してその値を“R 1 + 1”にする。

【0103】なお、先にリフレッシュアドレスR_ADDの値が“R 1”であることを想定していたが、この値もいま説明したのと同様にアドレス変化検出信号ATDの立ち下がりを契機としてリセット時のデータ“0”から順次更新されてきたものである。また、アドレス変化検出信号ATDの立ち下がりを受け、同じ時刻t 12においてマルチプレクサ5は内部アドレスL_ADD側を選択するようになる。この時点になると上述したようにアドレスAddressの値が確定しているため、その値“A 1”がアドレスM_ADDとして出力されるようになる。

【0104】次に、時刻t 13になると、先の時刻t 7におけるロウイネーブル信号REの立ち下がりに対応して、プリチャージイネーブル信号PEのワンショットパ

50

(15)

27

ルスが立ち下がってセンサアンプ・リセット回路9内のプリチャージ回路がプリチャージを終了させる。一方、先の時刻t11でアドレス変化検出信号ATDが立ち下がつたことを受けて、ラッチ制御回路12は時刻t14になるとラッチ制御信号LCを立ち上げる。そのため、これ以後はアドレスAddressが変化しても、ラッチ制御信号LCが再び立ち下がるまでの間、ラッチ2は内部アドレスL_ADD(したがってアドレスM_ADD)の値を保持するようになる。

【0105】同様にして、アドレス変化検出信号ATDの立ち下がりを受けて、ロウ制御回路13は時刻t15でロウイネーブル信号REにワンショットパルスを発生させる。これにより、ロウデコーダ7は時刻t16で今度はアドレス“A1”に対応するワード線Ax_Wordを活性化させ、それによって当該ワード線に接続されたメモリセルの保持データがビット線上の電位として現れるようになる。次に、ロウイネーブル信号REの立ち上がりに対応して、ロウ制御回路13は時刻t17でセンサアンパイネーブル信号SEにワンショットパルスを発生させる。このため、センサアンプ・リセット回路9内のセンサアンプはワード線Ax_Wordに接続された各メモリセルのデータをセンスして、ビット線上の電位を“0”／“1”的論理レベル(即ち、接地電位または電源電位)まで増幅する。

【0106】また、ロウイネーブル信号REのワンショットパルスに対応するように、ロウ制御回路13は制御信号CCにワンショットパルスを発生させてカラム制御回路14に出力する。カラム制御回路14は制御信号CCに基づいて時刻t18でカラムイネーブル信号CEにワンショットパルスを発生させる。こうしてカラムイネーブル信号CEが“H”レベルとなると、カラムデコーダ8は内部アドレスL_ADDに含まれた列アドレスをデコードし、時刻t19で当該列アドレスに対応するカラム選択信号〔図3に示したYj(Ax)を参照〕にワンショットパルスを発生させる。この結果、センサアンプ・リセット回路9内のセンサアンプのうち、当該列アドレスに対応するセンサアンプの出力が選択されてバスWRBに接続される。

【0107】次に、時刻t20になるとロウ制御回路13はロウイネーブル信号REを立ち下げるところから、ロウデコーダ7は時刻t21でワード線AX_Wordを非活性化させる。また、時刻t22になると先に選択されたセンサアンプのセンス結果がバスWRB上に現れるようになる。また同時刻では、先にロウイネーブル信号REが立ち下がつたことに対応して、ロウ制御回路13はセンサアンパイネーブル信号SEを立ち下げてセンサアンプ・リセット回路9内のセンサアンプによるセンス動作を終了させる。

【0108】また、先にロウイネーブル信号REが立ち下がつたことに対応してロウ制御回路13が制御信号C

28

Cを立ち下げるとき、カラム制御回路14はカラムイネーブル信号CEを立ち下げる。このため、カラムデコーダ8は時刻t23でカラム選択信号〔図中のYj(Ax)〕を無効化する結果、選択されていたセンサアンプ・リセット回路9内のセンサアンプとバスWRBの間が切り離される。また、ほぼ同じ時刻において、I/Oバッファ10はバスWRB上に読み出されたメモリセルのデータDout(A1)をバスI/O経由で半導体記憶装置外部に出力する。

【0109】次に、時刻t24になると、ロウ制御回路13は先にロウイネーブル信号REが立ち下がつたことに対応してプリチャージイネーブル信号PEを立ち上げ、次のアクセスに備えてビット線を再びプリチャージする。また同時に時刻において、ラッチ制御回路12はカラムイネーブル信号CEが立ち下がつたことを受けてラッチ制御信号LCを“L”レベルにする。次いで時刻t25になると、ロウ制御回路13は先の時刻t20でロウイネーブル信号REが立ち下がつたことに対応するように、時刻t25でプリチャージイネーブル信号PEを立ち下げる。このため、センサアンプ・リセット回路9内のプリチャージ回路はビット線のプリチャージを終了させる。

【0110】これ以後の動作は上述した時刻t1～t25における動作と全く同様であって、時間Tcycleを単位としたサイクル動作が繰り返し行われる。すなわち、アドレスAddressとして“A2”が与えられると、アドレスAddressの変化に対応してアドレス変化検出信号ATDにワンショットパルスが输出され、アドレス“R1+1”についてリフレッシュが行われたのち、リフレッシュアドレスが“R1+2”に更新されるとともに、アドレス“A2”に対応するメモリセルが読み出されてデータDout(A2)がバスI/Oを通じて外部に出力される。

【0111】その後、アドレスAddressとして“A3”が与えられると、アドレスAddressの変化に対応してアドレス変化検出信号ATDとしてワンショットパルスが输出され、アドレス“R1+2”的リフレッシュが行われたのち、リフレッシュアドレスが“R1+3”に更新されるとともに、アドレス“A3”に対応するメモリセルが読み出されてデータDout(A3)がバスI/Oを通じて外部に出力される。

【0112】以上のように本実施形態では、アドレスAddressが変化したときに、内部のアドレスカウンタで決まるリフレッシュアドレスに対してリフレッシュを先行実施してからアドレスAddressについて通常のアクセスを行っている。これは、この後に説明する書き込み時の場合を考慮に入れているためである。すなわち、非同期型の汎用のSRAMでは書き込みイネーブル信号/WEがアドレスAddressの変化に対して遅れて非同期的に有効となる。

(16)

29

【0113】このため、第1の従来例や第2の従来例などのように通常のアクセスを処理してからリフレッシュを行う構成によると、書き込みイネーブル信号／WEが早いタイミングで有効化されるのであれば、書き込みが完了してからリフレッシュが開始されるので特に問題はない。しかるに、書き込みイネーブル信号／WEがさらに遅れて有効化された場合には、書き込み動作とリフレッシュ動作が重なってしまうことがある。そこで、こうした場合にはリフレッシュが完了するまで書き込みを遅らせなければならないが、そのようにすることでタイミング制御が複雑化して回路規模が増大する上、論理設計もそれだけ困難になってしまう。したがって、所定の時間Tcycle内にリフレッシュと書き込みを完了させるためには、書き込みよりもリフレッシュを先に行う構成にすべきであって、それによって回路規模を縮減できるとともに論理設計自体も簡単になる。

【0114】〈リフレッシュを伴わない読み出し〉次に、リフレッシュ制御回路4内のリフレッシュタイマでリフレッシュを制御する場合の動作例を図4のタイミングチャートに示す。同図では、アドレス変化検出信号A TDの発生をトリガとしたリフレッシュ動作を各メモリサイクルで連続的に行う状態から、こうしたリフレッシュ動作を行わない状態へ移行する切り替わりのタイミングを示してある。このため、図3ではリフレッシュ制御信号REF Aが“H”レベルのままであったのに対して、図4では1リフレッシュサイクル分のリフレッシュが完了した時刻t12～t14の間でリフレッシュ制御回路4内のラッチ回路をリセットしてリフレッシュ制御信号REF Aを立ち下げている。なお、1リフレッシュサイクル分のリフレッシュとは全てのワード線について1回ずつリフレッシュすることを指すものとする。ちなみに、リフレッシュ制御信号REF Bは図3の場合と同様に“H”レベルのままとしている。

【0115】メモリセルアレイの構成や容量にも依存するが、1リフレッシュサイクル分のリフレッシュは数m s～数十m s程度の所定時間内で実施すれば良く、アドレスAddressが変化する度に必ずリフレッシュを行わなければならないわけではない。したがって、図3に示したように外部からのアクセスに伴ってリフレッシュを行ってゆくことで1リフレッシュサイクル分のリフレッシュを実施したのであれば、次のリフレッシュサイクルのリフレッシュを開始するまでは、リフレッシュ制御信号REF Aを立ち下げてリフレッシュを停止させている。こうすることで、余分なリフレッシュが行われなくなつて消費電力を削減することができる。

【0116】以上から分かるように、図4の場合はアドレス“R1”に対するリフレッシュによって1リフレッシュサイクル分のリフレッシュが完了した場合について、その前後におけるタイミング波形を示したものである。リフレッシュ制御信号REF Aが“L”レベルにな

(16)

30

ることで、ロウ制御回路13はアドレス変化検出信号ATDが立ち上がってもロウイネーブル信号REにワンショットパルスを発生させないようになる。このため、ロウ制御回路13はロウイネーブル信号REに対応したセンスアンプイネーブル信号SE及びプリチャージイネーブル信号PEも発生させないようになる。

【0117】また、ロウデコーダ7はワード線Rx_Wordを活性化させないようになるため、結局、ワード線Rx_W ordを対象としたリフレッシュは行われなくなる。このほか、リフレッシュ制御回路4内のアドレスカウンタは、リフレッシュ制御信号REF Aが“L”レベルとなつたことでカウント動作を停止させるため、リフレッシュアドレスR_ADDの値は時刻t12で更新された値“R1+1”的まゝになる。また、アドレスM_ADDについてもリフレッシュアドレスR_ADD側が選択されているときにその値は“R1+1”的まゝとなる。この後、次のリフレッシュサイクルのリフレッシュを開始する場合にはリフレッシュ制御回路4がリフレッシュ制御信号REF Aを“H”レベルに戻すため、図3に示したような動作が再び行われるようになる。

【0118】なお、こうしてリフレッシュ動作が再開されたときにもリフレッシュカウンタはリセットされず、それまでリフレッシュカウンタに保持されている値に対してインクリメント動作が行われる。つまり、例えばセルフリフレッシュ動作がリフレッシュサイクル（すなわち、全ワード線をリフレッシュするサイクル）途中で中断してもリフレッシュカウンタがリセットされることなく、次のリフレッシュ（読み出し又は書き込みのノーマルアクセスに伴うリフレッシュ、セルフリフレッシュのいずれであっても良い。）動作が再開されたときに、リフレッシュカウンタに残っている値がインクリメントされる。

【0119】〈リフレッシュを伴う書き込み〉次に、図5に示すタイミングチャートを参照しながら書き込みに伴ってリフレッシュを行う場合の動作について説明する。なお、図3の場合と同じくこの場合もリフレッシュ制御信号REF A, REF Bが何れも“H”レベルに固定されているため、図5ではこれらの信号を特に示していない。また、図5は図3に示した読み出しの代わりにこれを書き込みとしたものであって、図3に示した動作を基本としている。このため、図5に示した時刻t31～t38における動作は以下の点を除いて図3に示した時刻t1～t25における動作と同じものである。

【0120】上述したように、書き込みイネーブル信号／WEはアドレスAddressの変化とは関係なくメモリサイクル内で非同期に入力される。そこで、ここではリフレッシュが完了した後の時刻t32になって書き込みデータに“Din(A1)”が供給されてバスI/Oに載せられるとともに、時刻t33で書き込みイネーブル信号／WEが立ち下がることを想定する。そして、書き込

(17)

31

みイネーブル信号／WEに負のパルスが入力されてそれが時刻t33で立ち下がると、ロウ制御回路13はこの書き込みイネーブル信号／WEを遅延させかつ反転させ、ロウイネーブル信号REとして出力する。

【0121】もっともこの場合は、図3と同じくアドレス変化検出信号ATDの立ち下がりでもロウイネーブル信号REにワンショットパルスが生成されるため、両者が合成されてロウイネーブル信号REにワンショットパルスが出力されることになる。こうしてロウイネーブル信号REにワンショットパルスが生成されると、図3の場合と同様にしてアドレス“A1”に対応するワード線“Ax_Word”が活性化される。またこれと同時に、センスアンプイネーブル信号SE、カラムイネーブル信号CE、カラム選択信号Yj(Ax)、プリチャージイネーブル信号PEには順次ワンショットパルスが生成されてゆく。

【0122】一方、書き込みイネーブル信号／WEが有効になることによって、R/W制御回路11は時刻t34で制御信号CWOを立ち下げる。その結果、I/Oバッファ10はバスI/O上の書き込みデータをバスWRB側に送出するようになり、時刻t35になった時点でバスWRB上のデータに変化が生じてくる。この後の時刻t36でカラム選択信号Yj(Ax)が“H”レベルになると、アドレスAddressで指定されたメモリセルに対して書き込みが行われる。また、書き込みが完了した後には先の場合と同様にピット線がプリチャージされる。

【0123】その後、時刻t37になって書き込みイネーブル信号／WEが立ち上ると書き込みデータが確定し、その後にロウ制御回路13がロウイネーブル信号REを立ち下げる。また、ロウイネーブル信号REが立ち下がることで、図3においてアドレス変化検出信号ATDが立ち下がったときと同様に、センスアンプイネーブル信号SE、カラムイネーブル信号CE、カラム選択信号Yj(Ax)、プリチャージイネーブル信号PEが時刻t38までに順次立ち下がってゆく。また、R/W制御回路11は先の時刻t37で書き込みイネーブル信号／WEが立ち上がったことを受けて、時刻t39になった時点で制御信号CWOを立ち上げる。

【0124】この後はアドレス“A2”からの読み出しが行われるが、この動作は図3で説明したアドレス“A2”からの読み出しのときと全く同じである。この読み出しに引き続いてアドレス“A3”に対する書き込みが実施されることになる。この場合の時刻t41～t48における動作もいま説明したアドレス“A1”に対する書き込みに準じたものとなる。しかしこの場合には、書き込みイネーブル信号／WEがアドレス“A1”に対する書き込みのときよりも早いタイミングで入力されている。つまり、この場合はリフレッシュ中に書き込みイネーブル信号／WEが立ち下がるタイミングであって、上

(17)

32

述した書き込みに比べて一部の動作に相違が生じてくる。

【0125】すなわちこの場合、リフレッシュ中の時刻t42で書き込みイネーブル信号／WEが立ち下がるとともに、時刻t43でバスI/O上に書き込みデータである“Din(A3)”が供給される。その後、R/W制御回路11が書き込みイネーブル信号／WEの立ち下がりに対応させて時刻t44で制御信号CWOを立ち下げる。その結果、時刻t45になるとデータ“Din(A3)”がI/Oバッファ10からバスWRB上に送出されるようになる。この時点ではワード線Ax_Word、カラムイネーブル信号CE、カラム選択信号Yj(Ax)は何れも活性化されていないことから、メモリセルに書き込みが為されることはない。

【0126】もっとも、本実施形態の半導体記憶装置も汎用のSRAMと同様に、書き込みイネーブル信号／WEが入力されてから書き込みデータを取り込み可能な期間が仕様上決められている。したがって、リフレッシュが終了して実際にメモリセルへ書き込みを行う時点で書き込みデータを取り込もうとしても、その時には書き込みデータの値が保証されていない可能性がある。そこで本実施形態では、書き込みイネーブル信号／WEがリフレッシュ中に有効となっている間に書き込みデータをバスWRB上に取り込んでおき、リフレッシュが完了したのちにバスWRBからアドレスAddressのメモリセルに対して書き込みを行う。

【0127】つまり、バスWRB上の書き込みデータは“0”／“1”的論理レベル（即ち、接地電位または電源電位）になっているため、この後にワード線Ax_Wor d、センスアンプイネーブル信号SE、カラムイネーブル信号CEおよびカラム選択信号Yj(Ax)を順次活性化させれば、バスWRBからメモリセルへ書き込みを行うことができる。そして、この後はアドレス“A1”に対する書き込みの場合と同様であって、アドレス変化検出信号ATDの立ち下がりからロウイネーブル信号REのワンショットパルスを生成すれば、アドレス“A3”への書き込みおよびこれに続くピット線のプリチャージが行われる。

【0128】なお、この過程において時刻t46で書き込みイネーブル信号／WEが立ち上がり、これを受けてR/W制御回路11が時刻t47で制御信号CWOを立ち上げる。また、時刻t42で書き込みイネーブル信号／WEが立ち下がった時点では既にアドレス変化検出信号ATDが“H”レベルとなっているため、ロウイネーブル信号REはすぐには生成されずに、アドレス変化検出信号ATDが“L”レベルとなってからロウ制御回路13内で遅延されてロウイネーブル信号REとして出力される。もっともこの場合もアドレス“A1”的書き込みのときと同じく、アドレス変化検出信号ATDの立ち下がりでもロウイネーブル信号REにワンショットパル

(18)

33

スが生成されるため、両者を合成したものがロウイネーブル信号R Eとして出力されることになる。

【0129】〈リフレッシュを伴わない書き込み〉次に、リフレッシュ制御回路4内のリフレッシュタイマでリフレッシュを制御する動作例につき、書き込みの場合についてのものを図6のタイミングチャートに示す。同図と図5の相違点は図3と図4の相違点と全く同じである。すなわち、図6ではリフレッシュ制御信号R E F Aがリフレッシュの完了後に立ち下げられること、図6ではリフレッシュアドレスR_ADDが“R 1 + 1”から更新されなくなること、図6ではリフレッシュアドレス“R 1 + 1”，“R 1 + 2”に対してリフレッシュが行われなくなることが図5の場合と異なる。

【0130】〈セルフリフレッシュ〉次に、半導体記憶装置外部からのアクセス要求が所定の時間（以下では「リフレッシュ時間」という）にわたって無く、リフレッシュタイマによるセルフリフレッシュが行われるときの動作について説明する。なお、この「所定の時間」は、メモリセルのデータ保持特性（例えばデータ保持時間）に基づいて設定すれば良い。上述したように、本実施形態では外部からのアクセス要求に伴ってアドレス変化があったときに当該アクセス要求を処理するのに先立ってリフレッシュを行うようになっている。しかし、外部からのアクセス要求が長時間発生しないことも考えられるため、アクセス要求があったときにリフレッシュするだけではメモリセルアレイ6のデータを保持することができない。そこで本実施形態では、リフレッシュ制御回路4内のリフレッシュタイマを用いて、外部からのアクセス要求が最後にあった時点からリフレッシュ時間が経過した時点でセルフリフレッシュを起動するようしている。

【0131】図7はこのときの動作タイミングを示したものである。同図の時刻t 5 1～t 5 2では、外部からの読み出し要求に伴うアドレスAddressの変化を検知してリフレッシュおよび読み出しを行っている。この期間内における動作は図4に示したアドレス“A 1”に対する読み出しと全く同じであって、この動作後にリフレッシュ制御信号R E F Aは“L”レベルとなる。また、アドレス変化検出信号A T Dにワンショットパルスが生成された時点で、リフレッシュ制御回路4はリフレッシュタイマの値をリセットしている。

【0132】この後、半導体記憶装置外部からのアクセス要求のない状態が続くと、リフレッシュ制御回路4は時刻t 5 3でリフレッシュ制御信号R E F Aを立ち上げてリフレッシュ可能な状態に遷移させる。こうした状態としたにも拘わらずアクセス要求の無い状態が継続すると、リフレッシュ制御回路4はリフレッシュ制御信号R E F Aを上記遅延回路で遅延させた信号の立ち上がりをトリガとして上記パルス発生回路を起動させ、時刻t 5 4でリフレッシュ制御信号R E F Bに負のワンショット

34

パルスを発生させる。これにより、ロウ制御回路13は時刻t 5 5でロウイネーブル信号R Eにワンショットパルスを発生させてセルフリフレッシュを起動させる。

【0133】このとき、マルチプレクサ5はリフレッシュ制御信号R E F Bが“L”レベルとなったことからリフレッシュアドレスR_ADD側を選択するようになり、アドレスM_ADDとして“R 1 + 1”を出力する。そして、このセルフリフレッシュ及びそれに続くプリチャージは図3などに示した動作と全く同じである。こうして時刻t 5 9になるとプリチャージイネーブル信号P Eが立ち下がってセルフリフレッシュ及びプリチャージが完了する。この時点になっても外部からのアクセス要求は相変わらずないことから、時刻t 5 1～t 5 2などとは違ってアドレスAddressに対するアクセスは行われない。

【0134】この後、リフレッシュ制御回路4内のパルス発生回路は時刻t 5 6でリフレッシュ制御信号R E F Bを立ち上げる。次に、リフレッシュ制御回路4は、リフレッシュ制御信号R E F Bの立ち上がりを受けると、時刻t 5 7でリフレッシュアドレスR_ADDを更新してその値を“R 1 + 2”とする。そして、この場合はリフレッシュ制御信号R E F Aが時刻t 5 3で立ち上げられてからアドレス変化検出信号A T Dが発生しておらず、アドレス変化に伴うリフレッシュ動作を連続して行う状態には移行しない。したがって、リフレッシュ制御回路4は時刻t 5 8になった時点でリフレッシュ制御信号R E F Aを“L”レベルに変化させて、これ以後も引き続いてリフレッシュタイマでリフレッシュ動作をコントロールする状態にする。さらに、マルチプレクサ5はリフレッシュ制御信号R E F Bの立ち上がりを受けて時刻t 5 9からは内部アドレスL_ADD側を選択するようになる。

【0135】ここで、時刻t 5 3～t 5 4の間に半導体記憶装置外部からアクセス要求があってアドレスAddressに変化が認められると、その動作は図8に示したタイミングチャートのようになる。すなわち、時刻t 6 0でアドレスAddressが“A n”に変化してA T D回路3が時刻t 6 1でアドレス変化検出信号A T Dにワンショットパルスを発生すると、リフレッシュ制御回路4は図7のときのようにリフレッシュ制御信号R E F Bを立ち下げるのことなく“H”レベルのまま維持する。このため、時刻t 6 1以降においては時刻t 5 1～t 5 2と同様にしてアドレス“R 1 + 1”に対するリフレッシュ及びアドレス“A n”からの読み出しが行われることになる。その結果、時刻t 6 2になるとバスI/Oにアドレス“A n”的記憶データである“D out (A n)”が出力されるようになる。なお、図8ではセルホールドリミットのタイミングに近づいて時刻t 5 3でリフレッシュ制御信号R E F Aが立ち上げられたことを想定している。したがって、この後に連続するメモリサイクルに伴ってリフレッシュを連続的に行ってゆくことになることから、リフレッシュ制御信号R E F Aを“H”レベルのま

(19)

35

ま維持している。

【0136】〈書き込みイネーブル信号が遅く入力された場合の書き込み〉次に、図9のタイミングチャートを参照しながら書き込みイネーブル信号/WEが遅れて入力されたときの書き込みについて説明する。この場合にはメモリサイクルが長くなるため、本明細書ではその動作を図9に示すように「Long Write動作」と呼んでいる。なお、この場合もリフレッシュ制御信号R_E_F_A, R_E_F_Bが何れも“H”レベルのままである。

【0137】まず、時刻t71でアドレスAddressの値が“A1”に変化することによって、上述した場合と全く同様にリフレッシュアドレス“R1”についてリフレッシュが行われる。しかし、このリフレッシュが完了しても書き込みイネーブル信号/WEはまだ“H”レベルであるため、図3などと同様にリフレッシュに引き続いでアドレス“A1”を対象とした読み出しが行われる。その結果、時刻t72になるとバスI/Oにはアドレス“A1”的記憶データである“Dout(A1)”が出力されるようになる。しかし、半導体記憶装置にアクセスした側ではメモリセルへの書き込みを考えているため、この時点における読み出しデータがアクセス側で使用されることは実際にはない。もっとも、アクセス側での読み出しデータを取り込んで何らかの演算を行ってから引き続いて書き込みを行うようにしても良い。つまり、書き込みイネーブル信号を意図的に遅らせることにより、1メモリサイクル内でリードモディファイライト動作を実現することも可能である。

【0138】この後、時刻t73になってようやく書き込みイネーブル信号/WEが立ち下がることで書き込みが起動されて、図6に示した2回目の書き込みサイクルにおけるのとほぼ同様の動作が行われることになる。ただしこの場合、書き込みイネーブル信号/WEの立ち下がりに伴うアドレスAddressの変化は無くその値は“A1”的ままである。したがって、ATD回路3がアドレス変化検出信号ATDにワンショットパルスを発生させることはなくアドレス変化検出信号ATDは“L”レベルのまとなる。このため、マルチプレクサ5は内部アドレスL_ADD側を選択し続けることになり、アドレスM_DDの値はこの後の書き込みに備えて“A1”的まとなる。

【0139】また、書き込みイネーブル信号/WEが遅れて入力されると、時刻t71～t72の間においてアドレス変化検出信号ATDの立ち下がりで生成されたロウイネーブル信号REは、リフレッシュに引き続く読み出しの完了によって“L”レベルに戻ってしまっている。そこでこの場合、ロウ制御回路13は書き込みイネーブル信号/WEに基づいてロウイネーブル信号REを発生させるようとする。

【0140】すなわち、この時点ではアドレス変化検出信号ATDが“L”レベルであることから、図2に示し

(19)

36

たインバータ30からディレイ回路52, ナンドゲート53, ナンドゲート54には“H”レベルが供給される。このため、時刻t73で書き込みイネーブル信号/WEが立ち下がると、この書き込みイネーブル信号/WEはディレイ回路49による遅延を与えられてからノアゲート50及びインバータ51を通過し、ナンドゲート53, ナンドゲート54, ナンドゲート65を通じてそのレベルが反転されたのちに、時刻t77でロウイネーブル信号REとして出力される。なお、この場合にはア

ドレス変化検出信号ATDにワンショットパルスが生成されないため、ラッチ制御信号LCも“L”レベルに戻っている。しかし、アドレスAddressのラッ奇2への取り込み動作はリフレッシュに続くダミーの読み出しの際に既に行われているため特に問題はない。

【0141】ここで、時刻t74において既にバスI/Oには書き込みデータである“Din(A1)”が供給されており、R/W制御回路11が書き込みイネーブル信号/WEの立ち下がりを受けて時刻t75で制御信号CWOを立ち下げる、時刻t76になった時点でI/Oバッファ10からバスWRB上に書き込みデータ“Din(A1)”が送出されるようになる。このため、ロウイネーブル信号REのワンショットパルスによって書き込みが開始されて、図6で説明したのと同様にアドレス“A1”に対して書き込みが行われる。

【0142】以上のように本実施形態では、非同期型のSRAMなどと同じく、アドレスAddressが変化し始めるメモリサイクルの開始時点では外部からのアクセス要求が読み出し/書き込みの何れであるかが不明である上に、書き込みの場合にどの時点で書き込みイネーブル信号/WEが入力されるかも予測することができない。このため本実施形態では、とりあえずアクセス要求が読み出しであるものと見なしてアドレス変化検出信号ATDの立ち下がりから読み出しを行うようにしており、その後に書き込みイネーブル信号/WEが入力された時点で書き込みを行っている。

【0143】〈書き込みイネーブル信号が遅く入力されたために、リフレッシュタイマによるリフレッシュ後に書き込みが行われる場合〉次に、図10のタイミングチャートを参照してLong Write動作の別のタイミングについて説明する。この図では、書き込みイネーブル信号/WEが入力される前にリフレッシュタイマによってセルフリフレッシュが起動されたために、セルフリフレッシュが行われている最中に書き込みイネーブル信号/WEが立ち下がった場合に相当している。

【0144】まず、時刻t81～t83におけるリフレッシュ及びダミーの読み出しに関しては次の点を除いて図9に示した動作と全く同様である。すなわち、時刻t81から始まるリフレッシュによって1リフレッシュサイクル分のリフレッシュが終了する。このため、リフレッシュ制御回路4は時刻t82になるとリフレッシュ制

(20)

37

御信号REF_Aを立ち下げ、次のリフレッシュサイクルのリフレッシュを行う必要が生じるまでリフレッシュを停止させる。この後、半導体記憶装置外部からのアクセス要求の無い状態が続くと、リフレッシュ制御回路4は時刻t₈4でリフレッシュ制御信号REF_Aを立ち上げる。

【0145】しかしこの後も引き続いてアクセス要求が無いため、リフレッシュ制御回路4は時刻t₈5でリフレッシュ制御信号REF_Bに負のワンショットパルスを発生させる。すると、リフレッシュ制御信号REF_Bが“L”レベルとなったことで、マルチプレクサ5はリフレッシュアドレスR_ADD側を選択し、ロウ制御回路13はロウイネーブル信号REにワンショットパルスを発生させてアドレス“R1+1”に対するセルフリフレッシュを起動させる。この後、時刻t₈6になると書き込みイネーブル信号/WEが立ち下がるが、この場合におけるセルフリフレッシュ及び書き込みは図5の時刻t₄1～t₄8に示したものと同じになる。

【0146】すなわち、時刻t₈8になると半導体記憶装置外部からバスI/O上に書き込みデータが供給されるので、R/W制御回路11は制御信号CWOを立ち下げて書き込みデータをI/Oバッファ10からバスWR_Bに転送しておく。また、マルチプレクサ5は時刻t₈7におけるリフレッシュ制御信号REF_Bの立ち上がりを受けて内部アドレスL_ADD側を選択するようになるため、時刻t₈9になった時点ではアドレスM_ADDとして“A1”を出力するようになる。この後にセルフリフレッシュが完了すると、リフレッシュ制御信号REF_Bから生成されたロウイネーブル信号REに従って、アドレス“A1”的メモリセルに対して書き込みデータ“Din(A1)”をバスWR_Bから書き込むようになる。

【0147】(書き込みイネーブル信号が遅く入力されたものの、書き込み後においてリフレッシュタイマによるリフレッシュが行われる場合) 次に、図11のタイミングチャートを参照してLong Write動作のさらに別のタイミング例について説明する。この図では、書き込みイネーブル信号/WEが入力されて書き込みが始まってからリフレッシュタイマによるリフレッシュ要求があった場合であって、書き込みの完了後にセルフリフレッシュが行われる場合に相当している。

【0148】まず、時刻t₉1～t₉2におけるリフレッシュ及びダミーの読み出しは図10の場合と全く同じである。この後、半導体記憶装置外部からのアクセス要求が無い状態が続くと、リフレッシュ制御回路4は時刻t₉3でリフレッシュ制御信号REF_Aを立ち上げる。そして、リフレッシュタイマがリフレッシュ時間を計時する前に時刻t₉4で書き込みイネーブル信号/WEが立ち下がると、アドレス“A1”に対するデータ“Din(A1)”の書き込みがセルフリフレッシュに先立つて行われる。なお、この書き込みそのものは図9又は図

(20)

38

10に示したLong Write動作と同じである。また、リフレッシュ制御回路4は書き込みイネーブル信号/WEが立ち下がった場合には、メモリセルアレイ6に対する書き込みとこれに続くプリチャージに必要なだけの時間が経過するまでリフレッシュ制御信号REF_Bに負のワンショットパルスが発生しないように、内部の遅延回路でリフレッシュ制御信号REF_Aの立ち上がりを遅延させる。

【0149】こうして書き込みが完了すると、リフレッシュ制御回路4内のパルス発生回路は時刻t₉5でリフレッシュ制御信号REF_Bに負のワンショットパルスを発生させる。これにより、マルチプレクサ5はリフレッシュアドレスR_ADD側を選択するようになる。また、ロウ制御回路13はロウイネーブル信号REにワンショットパルスを発生させて、マルチプレクサ5から出力されたアドレス“R1+1”に対するセルフリフレッシュを起動させる。こうしたセルフリフレッシュが終了すると、リフレッシュ制御信号REF_Bの立ち上がりを受けて、リフレッシュ制御回路4は時刻t₉6でリフレッシュアドレスR_ADDの値を“R1+2”に更新し、マルチプレクサ5は時刻t₉7で内部アドレスL_ADD側を選択する。

【0150】〔第2実施形態〕本実施形態は汎用のDRAMなどで採用されているページモードと同様の機能を実現するものである。図12は本実施形態による半導体記憶装置の構成を示したブロック図であって、図1に示したものと同じ構成要素および信号名については同一の符号を付してある。本実施形態では、第1実施形態で説明したアドレスAddressを上位ビット側のアドレスUAddressと下位ビット側のアドレスPageAddressに分割することによって、アドレスUAddressを同じくするビットについてはアドレスPageAddressを変えるだけでバースト的に出入力可能としている。

【0151】例えば、本実施形態ではアドレスPageAddressを2ビット幅としているため、アドレスPageAddressを“00”B～“11”B(ここで「B」は2進数を意味する)の範囲内で可変させることで、連続する4アドレス分のデータをバースト的にアクセス可能である。なお、アドレスPageAddressの幅は2ビットに限定されるものではなく、「2ビット」～「アドレスAddressに含まれる列アドレスのビット数」の範囲内であれば任意のビット数であって良い。また本実施形態では、アドレスPageAddressで4ビットのデータを選択可能としたことに伴って、図1に示したバスWR_Bの代わりに4組のバスWR_B_i(ここではi=0～3)を設けてある。このため、アドレスPageAddressの値が“00”B～“11”Bであるときに、これらアドレスで指定されるメモリセルの各ビットデータはそれぞれバスWR_B₀～WR_B₃を通じて入出力されることになる。

【0152】次に、アドレスバッファ141、ラッチ1

(21)

39

42, A T D回路143, カラムデコーダ148, センスアンプ・リセット回路149は図1に示したアドレスバッファ1, ラッチ2, A T D回路3, カラムデコーダ8, センスアンプ・リセット回路9と同様の構成である。本実施形態では、第1実施形態におけるアドレスAddressの代わりにアドレスUAddressを用いているため、これらアドレスのビット幅に違いがある分だけこれら回路の構成が異なっている。また、センスアンプ・リセット回路149はさらに若干の相違点がある。

【0153】すなわち、本実施形態では内部アドレスL_{ADD}に含まれる個々の列アドレスについて4ビット分のデータをそれぞれバスWRB0～WRB3上で入出力することになる。このため、センスアンプ・リセット回路149はカラムデコーダ148から出力されるカラム選択信号に従って、メモリセルアレイ6内で隣接している4本のビット線を同時に選択し、これらビット線に接続された4組のセンスアンプとバスWRB0～WRB3をそれぞれ接続する。なお、A T D回路143にはアドレスPageAddressが入力されないため、アドレスPageAddressを変えてバースト的にアクセスを行う場合にはアドレス変化検出信号A T Dにワンショットパルスが生成されてしまうことはない。

【0154】このほか、アドレスバッファ151はアドレスのビット幅が異なる点を除くとアドレスバッファ1と同様の構成であって、アドレスPageAddressをバッファリングする。また、バスデコーダ152はアドレスバッファ151から出力される2ビット分のページアドレスをデコードして4本のバス選択信号を出力する。さらに、バスセレクタ153はこれらバス選択信号に従ってバスWRB0～WRB3のうちの何れか一つとI/Oバッファ10との間をバスWRBAによって接続する。

【0155】次に、図13のタイミングチャートを参照して上記構成を採用した半導体記憶装置の動作を説明する。同図の動作は第1実施形態で説明した図4の動作に準じているため、ここでは図4における動作との相違点を中心に説明する。なお、図13に示した“Y1”～“Y4”は“00”B～“11”Bのうちの何れかの値であって、簡単のためここでは“Y1”～“Y4”的値がそれぞれ“00”B～“11”Bであることを想定する。

【0156】まず時刻t101では図4と同様にアドレスAddressに“A1”を与える。このとき、アドレスPageAddressは“Y1”となっている。これにより、アドレス“A1”に対応したリフレッシュおよび読み出しが行われ、時刻t102になるとアドレスA1で指定された4個のメモリセル（すなわち、下位アドレスが“00”B～“11”B）に記憶されているデータがそれぞれバスWRB0～WRB3上に読み出されてくる。このとき、アドレスPageAddressの値は“00”Bであり、バスデコーダ152はアドレスバッファ151を通じて受

40

け取ったアドレスPageAddress “Y1” の値 “00” B をデコードする。この結果、バスセレクタ153はバスWRB0を選択して、そこに出力されているビットデータをバスWRBAに出力する。この結果、時刻t103になるとバスI/O上にはアドレスA1の値 [Dout (A1)] が出力されるようになる。

【0157】この後は、アドレスPageAddressを適宜変更してゆくことで、アドレス “A1” のアドレスUAddress部分を同じくするメモリセルのデータを読み出すことができる。すなわち、時刻t104でアドレスPageAddressに“Y2” (= “01” B) を与えると、バスセレクタ153が時刻t105でバスWRB1上のビットデータを選択してバスWRBAに出力し、時刻t106になると下位アドレスが“01”Bのアドレスに記憶されているデータ “Dout (Y2)” がバスI/Oに出力される。

【0158】以後同様にして時刻t107でアドレスPageAddressに“Y3” (= “10” B) を与えると、時刻t108でバスWRB2がバスWRBAに接続され、時刻t109で下位アドレスが“10”Bのアドレスに記憶されているデータ “Dout (Y3)” がバスI/Oに出力される。また、時刻t110でアドレスPageAddressに“Y4” (= “11” B) を与えると、時刻t111でバスWRB3がバスWRBAに接続され、時刻t112で下位アドレスが“11”Bのアドレスに記憶されているデータ “Dout (Y4)” がバスI/Oに出力される。なお、上述した第2実施形態の説明では図4へ適用した場合のものであったが、図5～図11に示した各場合に適用しても良いことはもちろんである。

【0159】〔第3実施形態〕上述した各実施形態では、外部から供給されるアクセス要求が読み出し要求であるか書き込み要求であるかによらず、アドレスAddressの変化（チップセレクト信号/C Sが有効化された場合を含む。）をトリガとして、リフレッシュを行ってから読み出し又は書き込みを行っている。

【0160】これに対し、本実施形態では読み出し要求があった場合には読み出しを行ってからリフレッシュを行うようにしており、そうすることで上述した各実施形態に比べて読み出し速度の向上（アクセスタイムの短縮化）を図っている。なお、書き込み要求があった場合には、上述した各実施形態と同様にリフレッシュを行ってから書き込みを行うようにする。

【0161】図14は本実施形態による半導体記憶装置の構成を示したブロック図である。同図に示す半導体記憶装置の構成は第1実施形態（図1）の構成と基本的に同じであるため、図14では図1と同じ構成要素に同一の符号を付してある。なお、以下では第1実施形態の半導体記憶装置を基礎にして本実施形態を説明するが、第2実施形態の半導体記憶装置に本実施形態の技術思想を適用しても良い。

(22)

41

【0162】汎用SRAMの仕様では書き込みイネーブル信号がアドレスの変化に対して非同期的に与えられる。ここで、本実施形態ではリフレッシュ動作とメモリセルに対するアクセス動作の処理順序が読み出しの場合と書き込みの場合とで逆になっている。このため、本実施形態では外部から供給されるアクセス要求が読み出し／書き込みの何れであるのかを或るタイミングで判定し、この判定結果に基づいて処理順序を決定する必要がある。

【0163】そこで本実施形態では、アドレスAddressが変化してから書き込みイネーブル信号／WEが有効化されるまでの時間（例えば、図16に示す時間tAWに相当する時間）の最大値（以下、この最大値をtAWmaxと呼ぶ）を半導体記憶装置の仕様として規定している。つまり、半導体記憶装置を使用するシステム側では、半導体記憶装置へ書き込みを行うにあたって、アドレスAddressを変化させた時点から時間tAWmax以内に書き込みイネーブル信号／WEを有効化させる必要がある。なお、時間tAWmaxの値はシステム側の要求仕様に応じて適宜決定すれば良い。

【0164】図14に示すATD回路163は図1に示したATD回路3とほぼ同様の機能を有している。ただ、アドレスが変化し始めてから時間tAWmaxが経過するまでは読み出し／書き込みの何れであるのかが定まらないため、ATD回路163は、アドレス変化を検知してから時間tAWmaxが経過するまではアドレス変化検出信号ATDを発生させないようにしている。

【0165】ここで、アドレスAddressに含まれるスキーの最大値を時間tskew（例えば図15を参照）とすると、システムによっては時間tAWmaxの値が示す時間tskewよりも短い場合があり得る。上述したように、本来であれば時間tAWmaxの値はシステム側の要求仕様に応じて決まるため、時間tskewとは無関係に設定することができる。

【0166】しかしながら、アドレスAddressが変化し始めてから時間tskewが経過するまではアドレスAddressの値が確定しないので、それまではメモリセルアレイに対するアクセスを開始してはならない。したがって、時間tAWmaxが時間tskewよりも短い場合には、時間tAWmaxの値を時間tskewに設定して、アドレスAddressが確定してからアクセスが行われるようにする。

【0167】もっとも、いま述べたことは読み出しの場合について考慮しておけば良い。書き込みの場合には本実施形態でもリフレッシュを行ってから書き込みを行うため、アドレス変化時点から時間tAWmaxが経過して読み出し／書き込みの何れであるかが確定したときからリフレッシュ動作を開始させても何ら支障はない。さらに、時間tAWmaxが経過する前に書き込みイネーブル信号／WEが有効になったのであれば、その時点で

(22)

42

書き込み動作であると判断できるので、時間tAWmaxの経過を待たずにリフレッシュ動作を開始させても良い。

【0168】リフレッシュ制御回路164は図1のリフレッシュ制御回路4と同様の機能を有している。ただし、リフレッシュ制御回路164は、アドレス変化検出信号ATDが立ち上がったときに書き込みイネーブル信号／WEを参照し、読み出し要求であればアドレス変化検出信号ATDの立ち上がりをトリガとしてリフレッシュアドレスR_ADDを更新し、書き込み要求であればアドレス変化検出信号ATDの立ち下がりをトリガとしてリフレッシュアドレスR_ADDを更新する。

【0169】次に、マルチプレクサ165は図1に示したマルチプレクサ5とほぼ同様の機能を有している。ただ、本実施形態では読み出しの場合にはリフレッシュに先行して読み出しを行う必要があるため、読み出し／書き込みのいずれであるかを判別するために、マルチプレクサ165へ書き込みイネーブル信号／WEを入力している。書き込みイネーブル信号／WEが“L”レベル（書き込み）の場合、マルチプレクサ165の動作はマルチプレクサ5と同じ動作となる。

【0170】これに対して書き込みイネーブル信号／WEが“H”レベルの場合、マルチプレクサ165は書き込みの場合と逆の選択動作を行う。具体的に言うと、マルチプレクサ165は、アドレス変化検出信号ATDが“H”レベルかつリフレッシュ制御信号REFBが“H”レベルであれば内部アドレスL_ADD側を選択し、アドレス変化検出信号ATDが“L”レベルであるかつリフレッシュ制御信号REFBが“L”レベルであればリフレッシュアドレスR_ADD側を選択する。

【0171】次に、ロウ制御回路173は図1に示したロウ制御回路13とほぼ同様の機能を有しており、書き込みの場合にはロウ制御回路13と同じ動作を行う。一方、読み出しの場合、ロウ制御回路173はアドレス変化検出信号ATDの立ち上がりをトリガとして、読み出し動作のためにロウイネーブル信号RE、センスアンプイネーブル信号SE、制御信号CCおよびプリチャージ信号PEを活性化させる。また、ロウ制御回路173はアドレス変化検出信号ATDの立ち下がりをトリガとして、リフレッシュ動作のためのロウイネーブル信号RE、センスアンプイネーブル信号SEおよびプリチャージイネーブル信号PEを活性化させる。

【0172】次に、本実施形態による半導体記憶装置の動作を説明する。ここではまず図15に示すタイミングチャートを参照して読み出し動作を説明し、それから図16のタイミングチャートを参照して書き込み動作を説明する。

【0173】まず、図15に示す時刻t120でアドレスAddressが変化すると、このアドレス変化がアドレスバッファ1及びラッチ2を通じてATD回路163に伝

50

(23)

43

達される。しかしながらこの時点では読み出し／書き込みが未確定であるため、ATD回路163はアドレス変化検出信号ATDのワンショットパルスを直ちに発生させることはしない。

【0174】この後、時刻t120から時間tAWmaxが経過して時刻t122になると書き込み／読み出しの何れかであるかが確定するので、ATD回路163は時刻t123でアドレス変化検出信号ATDにワンショットパルスを発生させる。そして、この場合は読み出し要求のために書き込みイネーブル信号／WEは

"H" レベルとなっており、マルチプレクサ165は内部アドレスL_ADD側を選択して時刻t124でアドレスM_ADD(=アドレス"A1")をロウデコーダ7に供給する。また、ロウ制御回路173はアドレス変化検出信号ATDの立ち上がりをトリガにしてロウイネーブル信号RE、センスアンプイネーブル信号SE、制御信号CCおよびプリチャージ信号PEを順次生成してゆく。これにより、図3に「Read Cycle」で示した場合と同様にして読み出し動作が行われて、例えばアドレス"A1"に対応するワード線Ax_Wordが時刻t125で活性化され、時刻t126でメモリセルのデータ"Dout(A1)"がバスI/O上に読み出される。

【0175】この後、時刻t127でアドレス変化検出信号ATDが立ち下がると、マルチプレクサ165はリフレッシュアドレスR_ADD側を選択するようになり、時刻t128でアドレスM_ADD(=アドレス"R1+1")をロウデコーダ7に供給する。また、ロウ制御回路173は、アドレス変化検出信号ATDの立ち下がりをトリガにして、ロウイネーブル信号RE、センスアンプイネーブル信号SE、およびプリチャージ信号PEを順次生成してゆく。これにより、図3に「RefreshCycle」で示した場合と同様にしてリフレッシュ動作が行われて、例えばアドレス"R1+1"に対応するワード線Rx_Wordが時刻t129で活性化される。

【0176】次に、書き込み要求があった場合の動作を説明する。書き込みの場合には、図16に示す時刻t140でアドレスAddressが変化し始めたときから時間tAWmax経過後の時刻t143までの間に書き込みイネーブル信号／WEが有効化される。図16では、時刻t140から時間tAW後の時刻t142で書き込みイネーブル信号／WEが立ち下げられたものとしている。

【0177】次に、ATD回路163はアドレス変化及び書き込みイネーブル信号／WEの立ち下がりを受け、時刻t144でアドレス変化検出信号ATDにワンショットパルスを発生させる。このとき書き込みイネーブル信号／WEは"L" レベルであるため、マルチプレクサ165はリフレッシュ動作のためにリフレッシュアドレスR_ADD側を選択し、時刻t145でアドレスM_ADDとして"R1"をロウデコーダ7に出力する。また、ロウ制御回路173はロウイネーブル信号RE、センスアン

50

44

イネーブル信号SE、およびプリチャージ信号PEを順次生成する。これにより、図5の時刻t31以降に「Refresh Cycle」で示した場合と同様にリフレッシュ動作が行われる。

【0178】この後、時刻t146になると書き込みデータの値 "Din(A1)" がバスI/O上に供給されるようになる。次に、時刻t147でATD回路163がアドレス変化検出信号ATDを立ち下げるとき、マルチプレクサ165は内部アドレスL_ADD側を選択するようになり、時刻t148でアドレスM_ADDとして"A1"の行アドレス部分をロウデコーダ7に出力する。また、ロウ制御回路173はロウイネーブル信号RE、センスアンプイネーブル信号SE、制御信号CCおよびプリチャージ信号PEを順次生成する。これにより、図5に「Write cycle」で示した場合と同様に書き込み動作が行われる。

【0179】以上説明したように、本実施形態ではアドレスが変化してから時間tAWmaxが経過すれば読み出し動作を開始することができる。このため、第1実施形態や第2実施形態に比べて読み出しを高速化することが可能となり、アクセスタイムを短縮することができる。特に、上述した各実施形態においてリフレッシュ動作に必要な時間が長く、本実施形態における時間tAWmaxの値が小さいほど、アクセスタイム改善の効果は大きくなる。

【0180】〔第4実施形態〕上述した各実施形態では、半導体記憶装置外部から供給されるパワーダウン制御信号PowerDownに基づいてスタンバイモードを切り換えるようになっていた。これに対し、本実施形態では予め決めておいたメモリセルアレイ6上の特定のアドレスに対してモード切り換え指示のためのデータを書き込むことによって、上述した各実施形態と同様のスタンバイモード切り換えを実現している。ここで、本実施形態による半導体記憶装置ではメモリセルアレイ6上の"0"番地(最下位番地)をモード切り換え専用のデータ格納領域としている。また、本実施形態では、スタンバイモード2に設定するためのデータが"F0" h(ここで'h'は16進数を意味する)であり、スタンバイモード3に設定するためのデータが"0F" hであるものとしている。したがって本実施形態ではバスWRBのバス幅が8ビットになっている。

【0181】図17は本実施形態による半導体記憶装置の構成を示したブロック図であって、図1に示したものと同じ構成要素および信号名については同一の符号をしてある。図17が図1と相違する点としては、パワーダウン制御信号PowerDownを入力するためのピンが存在しないこと、スタンバイモード制御回路201が新たに追加されていること、リフレッシュ制御回路204、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217がそれぞれ図1に示したリフレ

(24)

45

ッシュ制御回路4, ブースト電源15, 基板電圧発生回路16, リファレンス電圧発生回路17と一部の構成が異なっていることが挙げられる。そこで以下、図18～図22を参照しながらこれら各部の詳細について説明してゆく。なお、これらの図では図1又は図17に示したものと同じ構成要素および信号名については同一の符号を付けている。

【0182】まず図17において、スタンバイモード制御回路201は内部アドレスL_ADD, チップセレクト信号/CS, 書き込みイネーブル信号/WE, バスWR_B上の書き込みデータに基づいてモード設定信号MD2, MD3を発生させる。このうち、モード設定信号MD2はスタンバイモード2に設定するときに“H”レベルとなる信号であって、リフレッシュ制御回路204に供給される。一方、モード設定信号MD3はスタンバイモード2又はスタンバイモード3に設定するときに“H”レベルとなる信号であって、ブースト電源215, 基板電圧発生回路216, リファレンス電圧発生回路217に供給される。なお、モード設定信号MD2及びMD3が何れも“L”レベルであるときがスタンバイモード1である。

【0183】ここで、図18はスタンバイモード制御回路201の詳細構成を示した回路図である。同図において、データWR_B0～WR_B3, WR_B4～WR_B7は半導体記憶装置の外部からバスWR_B上に供給される書き込みデータのビット0～3, 4～7である。そして、アンド(AND)ゲート221, ノアゲート222及びアンドゲート223から成る回路は、書き込みデータが“F0”hであるときにだけ“H”レベルを出力する。同様にして、ノアゲート224, アンドゲート225及びアンドゲート226から成る回路は、書き込みデータが“0F”hであるときにだけ“H”レベルを出力する。また、オアゲート227はアンドゲート233, 226の出力の論理和をとることにより、書き込みデータとして“F0”h又は“0F”hの何れかが入力されたときに“H”レベルを出力する。

【0184】次に、アドレスX0B～Y7Bは内部アドレスL_ADDを構成する各ビットを反転させたアドレス値である。例えば、アドレスX0Bはロウアドレスのビット0を反転した値であり、アドレスY7Bはカラムアドレスのビット7を反転した値である。したがって、アンドゲート228は内部アドレスL_ADDの各ビットが全て“0”B(つまり“0”番地)を検出したときにのみ“H”レベルを出力する。そして、アンドゲート229は“0”番地に対してデータ“F0”h又は“0F”hを書き込む場合にのみ、書き込みイネーブル信号/WEをクロックとしてそのまま出力する。また、アンドゲート230は“0”番地へデータ“0F”hを書き込む場合にのみ書き込みイネーブル信号/WEをそのままクロックとして出力する。

46

【0185】次に、インバータ231～236及びアンドゲート237から成る回路は、チップセレクト信号/CSの立ち下がりエッジを捕らえて信号CEO_Sにワンショットパルスを発生させる。次に、ラッチ238はアンドゲート229の出力が立ち上がってC端子にクロックが入力されたときに、D端子に供給された電源電位に対応する“H”レベルをモード設定信号MD2としてQ端子から出力する。また、ラッチ238はR端子に供給される信号CEO_Sにワンショットパルスが発生したときに、自身をリセットしてモード設定信号MD2に“L”レベルを出力する。ラッチ239も同様の構成であって、アンドゲート230の出力が立ち上がったときにモード設定信号MD3へ“H”レベルを出力し、信号CEO_Sにワンショットパルスが発生したときにモード設定信号MD3へ“L”レベルを出力する。

【0186】以上のように、スタンバイモード2に設定する場合は、書き込みイネーブル信号/WEの立ち上がりに同期してアンドゲート229の出力が立ち上がってDタイプのラッチ238がセットされ、モード設定信号MD2が“H”レベルとなる。また、スタンバイモード3に設定する場合には、書き込みイネーブル信号/WEの立ち上がりに同期してアンドゲート229, 230の出力が何れも立ち上がってラッチ238, 239がともにセットされ、モード設定信号MD2及びモード設定信号MD3がともに“H”レベルとなる。

【0187】次に、図17に示したリフレッシュ制御回路204は、パワーダウン制御信号PowerDownの代わりにチップセレクト信号/CS及びモード設定信号MD2を用いて、リフレッシュアドレスR_ADD, リフレッシュ制御信号REF_A及びREF_Bを発生させる。ここで、図19はリフレッシュ制御回路204の詳細構成を示した回路図である。図中、Pチャネルのトランジスタ240はゲート端子, ソース端子, ドレイン端子がそれぞれアンドゲート241の出力, 電源電位, リフレッシュ制御回路4の電源供給ピンに接続されている。このため、アンドゲート241の出力が“L”レベルであればトランジスタ240がオンしてリフレッシュ制御回路4に電源を供給し、同出力が“H”レベルであればトランジスタ240がカットオフして電源供給を停止させる。

【0188】アンドゲート241は半導体記憶装置が非選択状態(チップセレクト信号/CSが“H”レベル), かつ、スタンバイモード2又はスタンバイモード3(モード設定信号MD2が“H”レベル)のときに、トランジスタ240をカットオフさせる。次に、インバータ242はモード設定信号MD2の反転信号を生成するものであって、スタンバイモード1のときにその出力が“H”レベルとなる。アンドゲート243は、スタンバイモード1ではリフレッシュ制御回路4が発生させるリフレッシュアドレスR_ADDをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同アド

(25)

47

レスを“0”に固定させる。

【0189】アンドゲート244はスタンバイモード1ではリフレッシュ制御回路4が発生させるリフレッシュ制御信号R E F Aをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同信号を“L”レベルに固定する。また、インバータ245はインバータ242の出力を反転するため、スタンバイモード1のときに“L”レベルを出力する。オアゲート246はスタンバイモード1ではリフレッシュ制御回路4が発生させるリフレッシュ制御信号R E F Bをそのまま出力する一方、スタンバイモード2又はスタンバイモード3では同信号を“H”レベルに固定する。

【0190】次に、図20～図22はそれぞれブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217の詳細な構成を示した回路図である。ブースト電源215において、Pチャネルのトランジスタ250、アンドゲート251はそれぞれ図19に示したトランジスタ240、アンドゲート241と同一の機能を有している。すなわち、半導体記憶装置が非選択状態（チップセレクト信号/C Sが“H”レベル）、かつ、スタンバイモード3（モード設定信号MD 3が“H”レベル）のときに、トランジスタ250をカットオフしてブースト電源15に対する電源供給を停止させ、これ以外の場合にはブースト電源15に電源を供給する。以上のこととは基板電圧発生回路216、リファレンス電圧発生回路217についても全く同じであって、これらの回路を構成するトランジスタ252、254はブースト電源215内のトランジスタ250に対応し、アンドゲート253、255はブースト電源215内のアンドゲート251に対応している。

【0191】次に、上記構成による半導体記憶装置におけるスタンバイモード切り換え時の動作は以下のようになる。

【0192】①スタンバイモード1

半導体記憶装置をスタンバイモード1に設定するにはチップセレクト信号/C Sを立ち下げるべし。そうすることで、スタンバイモード制御回路201はチップセレクト信号/C Sの立ち上がりエッジからワンショットパルスを発生させてラッチ238、ラッチ239をリセットし、モード設定信号MD 2、MD 3を何れも“L”レベルとする。

【0193】これにより、リフレッシュ制御回路204ではトランジスタ240がオンして内部のリフレッシュ制御回路4へ電源が供給されるとともに、リフレッシュ制御回路4が生成するリフレッシュアドレスR_ADD、リフレッシュ制御信号R E F A、R E F Bがそのまま出力されるようになる。また、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217でもそれぞれ内部のブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17に電源が供給され

(26)

48

る。以上の動作が行われることで第1実施形態や第2実施形態で説明したような動作が可能となる。

【0194】②スタンバイモード2

スタンバイモード2へ設定するには上述したように“0”番地へ“F 0”hのデータを書き込めば良い。これにより、スタンバイモード制御回路201は書き込みイネーブル信号/WEの立ち上がりエッジからモード設定信号MD 2を“H”レベルにする。この時点で半導体記憶装置が選択されていないか、あるいは、その後に選択されなくなるとチップセレクト信号/C Sが“H”レベルとなるため、リフレッシュ制御回路204は内部のリフレッシュ制御回路4に対する電源供給を停止させる。

【0195】また、リフレッシュ制御回路4に対する電源供給がなくなったことでその出力が不定となることから、リフレッシュ制御回路204はリフレッシュアドレスR_ADDを“0”に固定させるとともに、リフレッシュ制御信号R E F A、R E F Bのレベルをそれぞれ“L”レベル、“H”レベルに固定させる。またこの時点ではチップセレクト信号/C Sが“H”レベルであるため、ATD回路3は内部アドレスL_ADDi（図2参照）が変化してもアドレス変化検出信号ATDにワンショットパルスを発生させずに“L”レベルのままとする。

【0196】このため、ロウ制御回路13はロウイネーブル信号R E、センスアンプイネーブル信号S E、プリチャージイネーブル信号P E、制御信号C Cを何れも“L”レベルに固定させる。したがって、カラムイネーブル信号C E、ラッチ制御信号L Cも“L”レベルのままとなる。一方、リフレッシュ制御信号R E F Bが“H”レベルに固定され、なおかつ、アドレス変化検出信号ATDが“L”レベルに固定されることから、マルチプレクサ5は内部アドレスL_ADD側を選択し続けるようになる。

【0197】以上のようにして、リフレッシュ動作が中断されて消費電流が削減される。なお、このときモード設定信号MD 3は“L”レベルのままであるため、ブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17（図20～図22を参照）には電源が供給され続ける。

【0198】③スタンバイモード3

スタンバイモード3へ設定するには上述したように“0”番地へ“0 F”hのデータを書き込めば良い。これにより、スタンバイモード制御回路201は書き込みイネーブル信号/WEの立ち上がりエッジからモード設定信号MD 2及びモード設定信号MD 3をともに“H”レベルとする。このため、チップセレクト信号/C Sが“H”レベルになった時点で、スタンバイモード2のときと同様にリフレッシュ制御回路204は内部のリフレッシュ制御回路4に対する電源供給を停止させる。これと同時に、ブースト電源215、基板電圧発生回路216、リファレンス電圧発生回路217に電源が供給され

(26)

49

6, リファレンス電圧発生回路 217 はそれぞれ内部のブースト電源 15, 基板電圧発生回路 16, リファレンス電圧発生回路 17 に対する電源供給を停止させる。これによって、スタンバイモード 2 と同様にリフレッシュ制御が中断されるのに加えて、電源系制御回路の電流もカットされてさらに消費電流が低減する。

【0199】以上のように、本実施形態では第1実施形態で説明したパワーダウン制御信号PowerDownのような信号を半導体記憶装置外部から与える必要がないため、その分だけピン数を削減することができる。なお、上述した説明では第1実施形態をもとに第4実施形態を説明したが、同様のことをそのまま第2実施形態や第3実施形態に適用しても良い。

【0200】〔第5実施形態〕上述した各実施形態では、3種類あるスタンバイモード中から選択された何れかのスタンバイモードに従って、半導体記憶装置内部のメモリセルアレイ全体のリフレッシュ動作を制御するようしている。このため、例えば図1に示したメモリセルアレイ 6 が複数の領域（以下、「メモリセルエリア」という）に分割されているような場合であっても、スタンバイ状態におけるセルフリフレッシュ動作は、全てのメモリセルエリアに対して同一のスタンバイモードで共通に制御することとなる。

【0201】ところが、半導体記憶装置が適用されるアプリケーションによっては、あるメモリセルエリア（メモリ空間）についてはスタンバイ状態でデータを保持する必要があるものの、一時的に使用するデータだけが置かれるようなメモリセルエリア（上述したようにバッファとして使用されるメモリセルエリア）ではスタンバイ状態でデータを保持しておく必要がないといったことがある。例えば、携帯電話に代表されるモバイル端末システムを考えた場合、インターネットからダウンロードされるホームページなどの情報はユーザが見ている間だけ一時的に保持しておけば良い性質のものである。

【0202】つまり、いま述べたような用途に使用されるメモリセルエリアに関してはスタンバイ状態でセルフリフレッシュを行う必要がないため、それだけスタンバイ電流を削減することができる。そのためには、セルフリフレッシュしてデータを保持するか否かをメモリセルエリア毎に指定することが可能となれば、ユーザのニーズやアプリケーションに応じてスタンバイ電流を効率的に制御できるようになり、例えばモバイル端末システムに合わせたメモリセルエリアの割り当てを行することで、スタンバイ電流を最低限の消費量にとどめることも可能となる。

【0203】こうした背景から本実施形態では、メモリセルアレイが複数のメモリセルエリアで構成されている場合に、各メモリセルエリアに対して個別にスタンバイモードを設定可能としたものである。図23は本実施形態による半導体記憶装置の要部の構成を示したブロック

50

50

図であって、図1の構成に基づいて本実施形態を実現したものである。ただし、図示の都合から図23ではメモリセルエリア周りの回路だけを図示してあり、図1に示されているアドレスバッファ1, ラッチ2, ATD回路3, リフレッシュ制御回路4, マルチプレクサ5, R/W制御回路11, ラッチ制御回路12およびこれらに関連する各信号を省略してあるが、これらについては何れも図1と同様である。

【0204】図23では、図1に示したメモリセルアレイ 6 を2つのメモリセルエリア 61, 62 に分割した場合について例示してあるが、当然ながらメモリセルエリアの数は幾つであっても良い。ここで、以下の説明では、メモリセルエリア及びこのメモリセルエリアに対応してメモリセルエリア毎に設けられた周辺回路を含めて「メモリプレート」と呼ぶことにする。例えば図23に示した構成例では、メモリセルエリア 61 とその周辺回路であるロウデコーダ 71, カラムデコーダ 81, センスアンプ・リセット回路 91, ブースト電源 151, 基板電圧発生回路 161, リファレンス電圧発生回路 171 を1つのメモリプレートと定義する。

【0205】もっとも、後述するようにロウ制御回路 313 はメモリセルエリア毎に制御信号を生成している。したがって例えば、ロウイネーブル信号 RE1, センスアンプイネーブル信号 SE1, プリチャージイネーブル信号 PE1 を生成するためのロウ制御回路 313 内の回路部分をメモリセルエリア 61 に対応した周辺回路に含めても良い。また以下の説明では、セルフリフレッシュ動作に必要となるブースト電源 151, 基板電圧発生回路 161 及びリファレンス電圧発生回路 171 を総称して「第1の電源回路」と呼び、ブースト電源 152, 基板電圧発生回路 162 及びリファレンス電圧発生回路 172 を総称して「第2の電源回路」と呼ぶ。

【0206】次に、ロウデコーダ 71, カラムデコーダ 81, センスアンプ・リセット回路 91, ブースト電源 151, 基板電圧発生回路 161, リファレンス電圧発生回路 171 はメモリセルエリア 61 に対応したものであって、個々の符号から添字 “1” を除いた図1の構成要素と同様の構成である。例えば、ロウデコーダ 71 は図1に示したロウデコーダ 7 と同じである。またこれら各構成要素の添字 “1” を添え字 “2” にえたものはメモリセルエリア 62 に対応して設けられた構成要素である。

【0207】次に、I/Oバッファ 10 は図1に示したものと同じであるが、本実施形態ではバスWRBを通じてセンスアンプ・リセット回路 91, 92 の双方に接続されている。次に、カラム制御回路 14 は図1に示したものと同じであるが、本実施形態ではカラムイネーブル信号 CE をカラムデコーダ 81 及びカラムデコーダ 82 の双方に供給している。

【0208】次に、PowerDown制御回路 301 はスタン

(27)

51

バイ状態において制御信号PD1, PD2を生成してそれぞれ第1の電源回路、第2の電源回路に供給することで、これら電源回路のパワーカット動作を個別に制御する。本実施形態では、制御信号PD1, PD2を“H”レベルにしたときに各電源回路が電源供給を行い、同信号を“L”レベルにしたときに各電源回路が電源供給をカットするものとする。なお、スタンバイ状態でない通常動作の場合、PowerDown制御回路301は制御信号PD1, PD2を何れも“H”レベルとする。

【0209】ここで、本実施形態では説明を簡単にするために、メモリセルのセルフリフレッシュを行うスタンバイモード（「リフレッシュ有」）、メモリセルのセルフリフレッシュを行わないスタンバイモード（「リフレッシュ無」）という2種類のモードを設けた場合について説明するが、上述した各実施形態のように3種類のスタンバイモードを設けた場合も同様である。また、本実施形態ではスタンバイ状態における制御信号PD1, PD2のレベルが固定化されている場合を想定している。なお、これら制御信号のレベルを外部からプログラム可能とする構成については第6実施形態で説明するが、本実施形態でも制御信号のレベルをプログラム可能に構成しても良い。

【0210】次に、ロウ制御回路313は図1に示したロウ制御回路13とほぼ同様の構成である。ただし、本実施形態ではメモリプレートを2つ設けているため、ロウ制御回路313は各メモリプレートに対応した2系統の制御信号を発生させる。すなわち、ロウ制御回路313はロウイネーブル信号RE1, RE2をそれぞれロウデコーダ71, 72に供給し、センスアンプイネーブル信号SE1及びプリチャージイネーブル信号PE1をセンスアンプ・リセット回路91に供給し、センスアンプイネーブル信号SE2及びプリチャージイネーブル信号PE2をセンスアンプ・リセット回路92に供給している。またロウ制御回路313は、制御信号PD1, PD2のレベルに連動して上記2系統の制御信号を発生させるかどうかを制御している。例えば、PowerDown制御回路301がスタンバイ状態で制御信号PD2に“L”レベルを出力する場合、ロウ制御回路313はメモリセルエリア62側に供給すべき制御信号をスタンバイ状態では発生させない。

【0211】次に、上記構成による半導体記憶装置のスタンバイ動作について説明する。まず、メモリセルエリア61, 62の双方を「リフレッシュ有」で使用する場合、PowerDown制御回路301はスタンバイ状態となった時点で制御信号PD1, PD2をともに“H”レベルにして、スタンバイ状態でないときと同様に第1の電源回路及び第2の電源回路の双方に電圧の供給を行わせる。これと連動して、ロウ制御回路313はロウイネーブル信号RE1及びRE2, センスアンプイネーブル信号SE1及びSE2, プリチャージイネーブル信号PE

(27)

52

1及びPE2を順次生成していく。このため、ロウデコーダ71, 72がそれぞれメモリセルエリア61, 62上のワード線を活性化させ、センスアンプ・リセット回路回路91, 92がそれぞれセンスアンプを選択してセルフリフレッシュを行う。

【0212】次に、メモリセルエリア61, 62の双方を「リフレッシュ無」で使用する場合、PowerDown制御回路301はスタンバイ状態において制御信号PD1, PD2をともに“L”レベルにする。このため、第1の電源回路及び第2の電源回路は電圧の供給を停止するようになる。またロウ制御回路313は、スタンバイ状態ではロウイネーブル信号RE1及びRE2, センスアンプイネーブル信号SE1及びSE2, プリチャージイネーブル信号PE1及びPE2を発生させない。したがって、この場合にはセルフリフレッシュが全く行われなくなる。

【0213】次に、メモリセルエリア61を「リフレッシュ有」、メモリセルエリア62を「リフレッシュ無」で使用する場合、PowerDown制御回路301はスタンバイ状態において制御信号PD1, PD2にそれぞれ“H”レベル、“L”レベルを出力する。また、ロウ制御回路313は、スタンバイ状態でロウイネーブル信号RE1, センスアンプイネーブル信号SE1, プリチャージイネーブル信号PE1を発生させ、ロウイネーブル信号RE2, センスアンプイネーブル信号SE2, プリチャージイネーブル信号PE2を発生させない。こうして、第1の電源回路だけが電圧を供給するようになって、メモリセルエリア61についてだけセルフリフレッシュが行われるようになる。

【0214】次いで、メモリセルエリア61を「リフレッシュ無」、メモリセルエリア62を「リフレッシュ有」で使用する場合はいま述べたのと正反対となる。すなわち、PowerDown制御回路301はスタンバイ状態において制御信号PD1, PD2をそれぞれ“L”レベル、“H”レベルに設定する。また、ロウ制御回路313は、スタンバイ状態でロウイネーブル信号RE2, センスアンプイネーブル信号SE2, プリチャージイネーブル信号PE2だけを発生させる。このため、第2の電源回路だけが電圧を供給するようになって、メモリセルエリア62についてだけセルフリフレッシュが行われるようになる。

【0215】本実施形態では、両方のメモリセルエリアを「リフレッシュ有」とした場合に $100\mu A$ 程度のスタンバイ電流が発生する。一方、何れか一方のメモリセルエリアだけを「リフレッシュ有」とした場合には、スタンバイ電流を約 $1/2$ の $50\mu A$ に半減することができる。他方、両方のメモリセルエリアを「リフレッシュ無」とした場合にはスタンバイ電流を完全にゼロにすることができる。

【0216】なお、上述した説明では第1実施形態をも

(28)

53

と本実施形態を説明したが、同様のことを第2実施形態や第3実施形態に適用しても良い。また、図23ではメモリセルエリア6₁、6₂が同じ容量であるかのように描いてあるが、これらメモリセルエリアが異なる容量であっても良い。さらに、上述した説明では2種類のスタンバイモードの場合について説明したが、上述した第1～第3実施形態のように3種類のスタンバイモードの場合に適用しても良い。

【0217】〔第6実施形態〕図24は本実施形態による半導体記憶装置の要部の構成を示したブロック図であって、図1の構成に基づいて本実施形態を実現したものである。本実施形態も第5実施形態と同様にメモリセルアレイ6が複数のメモリセルエリアに分割されており、個々のメモリセルエリア（メモリプレート）に対してスタンバイモードを別々に設定可能としたものである。

【0218】ただし、本実施形態ではメモリセルエリアの数が多い半導体記憶装置を念頭に置いているため、図23とは違ってメモリセルエリアの数を一般化してn個（n：2以上の自然数）としてある。このため、図1に示したメモリセルアレイ6が図24ではメモリセルエリア6₁～6_nに分割されている。また図24では、個々のメモリセルエリアに対応して、ロウデコーダ7₁～7_n、カラムデコーダ8₁～8_n、センスアンプ・リセット回路9₁～9_nが設けられている。

【0219】次に、電源回路350はメモリセルエリア6₁～6_nに共通する電源回路であって、図23に示したブースト電源15、基板電圧発生回路16、リファレンス電圧発生回路17を統合するとともに、n個のメモリセルエリア全てに対して同時に電源供給を行えるように、図1に示した構成よりも供給能力を強化してある。なお、本実施形態では電源回路をメモリセルエリア間で共通化しているため、メモリプレートは例えばメモリセルエリア6₁とその周辺回路であるロウデコーダ7₁、カラムデコーダ8₁、センスアンプ・リセット回路9₁で構成される。

【0220】次に、PowerDown制御回路351は図23に示したPowerDown制御回路301と同様の回路であって、n個のメモリセルエリアに対応するように制御信号PD1～PDnを生成する。次に、スイッチ素子352₁～352_nはそれぞれ制御信号PD1～PDnに応じてメモリセルエリア6₁～6_nに対応した各メモリプレートへの電源供給を制御している。例えば、スイッチ素子352₁は、制御信号PD1が“H”レベルのときにオンとなって電源回路350からメモリセルエリア6₁に対応するメモリプレートへ電源を供給するほか、同信号が“L”レベルのときにオフとなって同メモリプレートに対する電源供給を停止させる。なお、スイッチ素子352₂～352_nもスイッチ素子352₁と同様である。

【0221】次に、ロウ制御回路353は図23に示し

54

たロウ制御回路313と同様の回路であって、ロウイネーブル信号RE1～REN、センスアンプイネーブル信号SE1～SEN、プリチャージイネーブル信号PE1～PEnを生成し、これら制御信号を対応するメモリプレートに供給している。次に、プログラム回路354はユーザのニーズやアプリケーションに合わせて、個々のメモリセルエリアを「リフレッシュ有」又は「リフレッシュ無」の何れに設定するかを任意にプログラムすることができる。そしてプログラム回路354は、メモリセ

10 ルエリア毎にプログラムされた「リフレッシュ有」又は「リフレッシュ無」を表すデータをPowerDown制御回路351及びロウ制御回路353に送出する。

【0222】ここで、半導体記憶装置外部からプログラム回路354へプログラミングするための実現手法としては、以下に述べる2つの手法が具体例として考えられる。まず第1の実現手法として、プログラム回路354内部にメモリプレート対応にヒューズを設けておくことが考えられる。この場合、個々のヒューズを切断するか否かによって、スタンバイ状態における制御信号PD1～PDnのレベルを個別に設定できるようになる。

【0223】次に、第2の実現手法として外部から供給されるアドレスを利用した手法が考えられる。すなわち、メモリセルエリア6₁～6_nはそれぞれ異なるメモリ空間に割り当てられているため、外部からアドレスAddress（図1を参照）を与えたときにこのアドレスに対応したメモリセルエリアは一意に定まる。例えばn=4とすると、アドレスAddressの上位2ビットの値が“00”B～“11”Bの場合にそれぞれメモリセルエリア6₁～6₄がアクセスされる。したがって、プログラムすべきメモリセルエリアをアドレスAddressによって特定することができるようになる。

【0224】以上のこととを実現するには、第4実施形態（図17および図18を参照）に準じた構成とすれば良い。まず、外部から設定されるスタンバイモードを保持しておくためのレジスタをメモリプレート毎にプログラム回路354内へ設けておく。また、アドレスAddress、チップセレクト信号/CS、書き込みイネーブル信号/WE、バスWRBをプログラム回路354に入力する。

【0225】そしてスタンバイモードの設定にあたっては、設定すべきメモリプレートをアドレスAddressの上位2ビットで指定するとともに、これ以外の下位ビットを特定の値（例えば、第4実施形態に準じて下位ビットがすべて“0”B）に設定しておく。また、設定すべきスタンバイモードを表すデータをバスWRB上に載せておく。この状態で書き込みイネーブル信号/WEを立ち下げるとき、プログラム回路354はアドレスAddressの上位2ビットで指定されたメモリプレートに設定すべきスタンバイモードのデータをバスWRBから取り込んで、当該メモリプレートに対応したレジスタへセットす

50

(29)

55

る。

【0226】次に、上記構成による半導体記憶装置のスタンバイ動作について説明する。いま例えればメモリセルエリア 6_1 だけを「リフレッシュ有」としてこれ以外のメモリセルエリアを全て「リフレッシュ無」に設定する。そしてこの設定を上述した2つの実現手法の何れかを用いてプログラム回路354へプログラミングしておく。これにより、メモリプレート毎のスタンバイモードの設定がPowerDown制御回路3-5-1及びロウ制御回路3-5-3に通知される。

【0227】上述したように、通常動作が行われる間は制御信号PD1～PDnが全て“H”レベルとなっている。これに対してスタンバイ状態になると、PowerDown制御回路351は制御信号PD1を“H”レベルのままでする一方で、これ以外の制御信号PD2～PDnを全て“L”レベルとする。これにより、スイッチ素子3521はオンのままとなるのに対し、スイッチ素子3522～352nが全てオフとなる。このため、メモリセルエリア 6_1 に対応したメモリプレートには電源回路350から電源が供給され続けるが、メモリセルエリア 6_2 ～ 6_n に対応したメモリプレートには電源が供給されなくなる。

【0228】一方、ロウ制御回路353はロウイネーブル信号RE1、センスアンプイネーブル信号SE1、プリチャージイネーブル信号PE1を生成することで、電源が供給され続けているメモリセルエリア 6_1 をセルフリフレッシュする。また、電源が供給されなくなったメモリセルエリア 6_2 ～ 6_n に対応したメモリプレートについて、ロウ制御回路353はロウイネーブル信号、センスアンプイネーブル信号、プリチャージイネーブル信号を発生させないようにする。こうしてスタンバイ状態においてメモリセルエリア 6_1 だけをセルフリフレッシュするように制御することで、スタンバイ電流を“1/n”に低減させることができる。

【0229】以上のように、本実施形態によれば第5実施形態と同様の利点が得られるほか、ユーザのニーズやアプリケーションに応じて外部からスタンバイモードを任意に設定することができる。このほか、本実施形態では電源回路350をメモリプレート間で共通化しているため、メモリプレートの数が増えても電源回路を増やすずに済み、第5実施形態に比べてより小規模な構成とすることができる。

【0230】なお、上述した説明では第1実施形態の構成をもとに本実施形態を説明したが、同様のことを第2実施形態～第4実施形態に適用しても良い。また、図2-4ではメモリセルエリア 6_1 ～ 6_n が同じ容量であるかのように描いてあるが、これらメモリセルエリアが異なる容量であっても良い。さらに、上述した説明では2種類のスタンバイモードの場合について説明したが、第1～第3実施形態のように3種類のスタンバイモードの場

(29)

56

合に適用しても良い。

【0231】また、上述した各実施形態（第1実施形態～第6実施形態）で説明したスタンバイモードの制御は従来の疑似SRAMや汎用DRAMなどの既存の半導体記憶装置に適用しても良いのであって、各実施形態で取り上げた汎用SRAM仕様の疑似SRAMに限定されるものではない。

【0232】【第7実施形態】上述した第1実施形態～第6実施形態では、メモリセルアレイ 6_1 ～メモリセルエ

リア 6_1 、 6_2 、 6_n などのリフレッシュ動作を全て半導体記憶装置の内部で制御していた。一方、本実施形態では上記各実施形態と同様に半導体記憶装置内部でリフレッシュ動作の制御を行うのに加えて、半導体記憶装置外部からもリフレッシュ動作を制御可能な構成としている。こうした構成を採用することによって、リフレッシュ動作時に不具合の生じるチップを出荷前のテストで選別することが可能となる。

【0233】そこでまず、この不具合の具体的な内容及びかかる不具合が生じる理由について説明する。上述した

各実施形態のうちの例えば第1実施形態では、リフレッシュ制御回路4（図1参照）が生成するリフレッシュ制御信号REF_A、REF_Bに基づいてリフレッシュの開始タイミングを制御している。例えば図7に示したタイミングでは、リフレッシュ制御信号REF_Aを“H”レベル（時刻t53）にしてから所定時間が経過した時点（時刻t54）でリフレッシュ制御信号REF_Bに負のワンショットパルスを発生させてセルフリフレッシュを起動させている。そして、これらリフレッシュ制御信号がリフレッシュ制御回路4内のリフレッシュタイマの出力信号に基づいて生成されることは先述した通りである。

【0234】ここで、リフレッシュタイマがその出力信号を生成するには、半導体記憶装置内部に設けられているリングオシレータ（図示省略）の出力を分周して作るのが一般的である。このため、こうした構成とした場合にはリフレッシュ制御信号のタイミングがリングオシレータの周期に依存することになる。ところが、リングオシレータの周期は電源電圧、外部の温度、製造プロセス等の要因によって変わりうるものであり、特に外部の温度は半導体記憶装置が置かれる環境に応じて時々刻々変化する。こうしたことから、セルフリフレッシュがリフレッシュ制御信号に応じていつ開始されるのかを事前に予測することは事实上不可能である。換言すれば、半導体記憶装置外部から見て半導体記憶装置の内部におけるセルフリフレッシュは非同期的に始まることになる。

【0235】その一方で、上述したようにアドレスAddressが変化（チップセレクト信号/CSの有効化も含む；以下同じ）するタイミングは半導体記憶装置から見ると非同期的であって、そのタイミングを予め知ることはできない。このように双方のタイミングが互いに非同

(30)

57

期的であるため、半導体記憶装置を普通にテストしただけで、セルフリフレッシュの開始タイミングとアドレスAddressの変化タイミングが特定の時間関係にあるときにだけ発生する不具合を発見するのは極めて困難である。

【0236】そして、こうしたタイミングに依存する不具合としては次のようなものが考えられる。上述したように、アドレスAddressが変化することでアドレス変化検出信号A-T-Dにワンショットパルスが生成されるが、半導体記憶装置内部ではワンショットパルスを生成することなどがノイズ源となる場合がある。すなわち、セルフリフレッシュの開始タイミングとアドレスAddressの変化タイミングが重なった場合に、ワンショットパルスの生成に起因して電源電圧が過渡的に降下することがある。そうすると、セルフリフレッシュの開始によってリフレッシュ制御信号REFBから生成されたロウイネーブル信号REのパルス（例えば図7の時刻t55を参照）が途中で一時的に落ち込んでしまうことになる（つまりハザードの発生）。

【0237】ロウイネーブル信号REのレベルが落ち込むとワード線が非活性化されてしまうために、必要とされるリフレッシュ時間が十分確保されなくなってしまふリフレッシュが中途半端になってしまう。こうしたリフレッシュ時間不足は、以下に述べるようにメモリセルを誤ったデータでリフレッシュしてしまうという不具合を引き起こす。すなわち、DRAMメモリセルのリフレッシュ

（読み出しも同様）を行うためには、例えば図25に示したようにビット線対を構成する相補のビット線（図中の符号BL及び符号/BL）の電位を何れも $1/2 V_{CC}$ にプリチャージしておき、その後にワード線を活性化させて当該ワード線に接続されたメモリセルが保持している電荷をビット線BL上に読み出す。

【0238】こうした動作によって図中の時刻t220からビット線BL, /BL間に微小電位差が生じるので、この微小電位差をセンサーアンプで“0”／“1”的論理レベルに相当する電位差（例えば接地電位／電源電位 V_{CC} ）まで増幅する。この増幅された電位差はメモリセルに対する再書き込み（リフレッシュ）のための電位差として用いられる。したがって、リフレッシュ時間不足になってしまふと微小電位差が十分に増幅されないままの電位差（例えば時刻t220～t222辺りまでの電位差）でメモリセルに再書き込みが行われてしまう。このため、メモリセルのデータが本来“1”であつたはずであるにも拘わらず、“0”的データを再書き込みしてしまう可能性がある。

【0239】また、いま述べたような不具合以外にも、ワンショットパルスの生成によって生じるノイズは次のような不具合を引き起こす可能性がある。すなわち、ワード線が活性化されてからセンサーアンプが動作を開始するまでには所定時間（例えば図25に示した時刻t22

(30) 58

0～t221の期間）をおく必要がある。この所定時間内でワンショットパルスに起因したノイズがビット線対上に載ると、微小電位差がノイズの影響によって変化してしまって、ビット線BL, /BL間の電位の大小関係が反転することが考えられる。そうなると、センサーアンプが増幅動作を行ってもメモリセルに記憶されていた正しいデータで当該メモリセルをリフレッシュすることができなくなる。

【0240】以上のような不具合があるチップをそのまま出荷するわけにはゆかないので、こうしたチップを選別して、セルフリフレッシュの開始タイミングとアドレス変化のタイミングがどのような時間関係にあっても不具合が生じないことを保証する必要がある。なお、根本的な解決策はノイズ源を無くすことであつて、それには電源を強化したり電源系統を複数に分割したりといった対策が有効であると考えられる。しかし、こうした対策を施してもノイズが完全に除去されるとは限らないことから、本当に不具合が解消されているかどうかを検証しておくことは当然必要となってくる。

【0241】そこで本実施形態では、半導体記憶装置外部（具体例としてはテスタ装置）からの指示に従つて、セルフリフレッシュの開始のタイミングとアドレスAddressの変化タイミングとの間の時間関係を変えてやつて上記不具合の有無を検証するようしている。ちなみに、汎用DRAMの中にはセルフリフレッシュを実施しているものもあるが、汎用DRAMではアドレス変化に対応してワンショットパルス信号を生成する構成を採用していないため、上述したような不具合が生じることはない。その意味において、かかる不具合を検証するという課題は、本発明のようにDRAMメモリセルを用いたSRAM仕様の半導体記憶装置に独特のものである。

【0242】以下では、本発明の技術思想を第1実施形態の構成へ適用する場合を例に挙げて具体的な構成を説明してゆく。図26は本実施形態による半導体記憶装置の構成を示したブロック図であつて、図1に示したものと同じ信号名および構成要素については同一の符号を付してある。そこで図1との相違点について説明すると、本実施形態では図1の構成に対してマルチプレクサ261, ノアゲート262及びインバータ263を追加するとともに、テスタ装置から供給されるテストモード信号MODE及びリフレッシュ制御信号EXREFBを入力信号として追加している。また、図1に示したリフレッシュ制御回路4に対してテストモード信号MODE及びリフレッシュ制御信号EXREFBをさらに供給するようにして、これら信号に基づく機能追加（詳細は後述）を行つたものをリフレッシュ制御回路304としている。

【0243】ここで、テストモード信号MODEは半導体記憶装置を通常の動作モードからテストモードに移行させるためのテストモードエントリ信号であり、リフレ

(31)

59

リフレッシュ制御信号EXREFBは半導体記憶装置外部からリフレッシュを起動するための信号である。また、図1ではリフレッシュ制御信号REFA, REF Bをマルチプレクサ5及びロウ制御回路13に供給していたが、本実施形態ではこれらの代わりにリフレッシュ制御信号REF A', REF B'をマルチプレクサ5及びロウ制御回路13に供給している。

【0244】次に、マルチプレクサ261はテストモード信号MODEが“H”レベルであれば、リフレッシュ制御信号EXREFBを選択してこれをリフレッシュ制御信号REF B'として出力し、テストモード信号MODEが“L”レベルであれば、第1実施形態と同様にリフレッシュ制御信号REF Bを選択してこれをリフレッシュ制御信号REF B'として出力する。次に、ノアゲート262及びインバータ263から成る回路は、テストモード信号MODEが“H”レベルであれば、リフレッシュ制御信号REF Aのレベルに関係なくリフレッシュ制御信号REF A'を強制的に“L”レベルにする。一方、テストモード信号MODEが“L”レベルであれば、第1実施形態と同様にリフレッシュ制御信号REF Aをそのままリフレッシュ制御信号REF A'として出力する。次に、リフレッシュ制御回路304は、テストモード信号MODEが“H”レベルとなっている場合には、リフレッシュ制御信号EXREFBの立ち上がりで内部のアドレスカウンタを“1”カウントアップしてリフレッシュアドレスR_ADDを更新する。

【0245】このように、テストモード信号MODEを“H”レベルにしてテストモードに移行させることで、半導体記憶装置内部で生成されるリフレッシュ要求（アドレス変化検出信号ATDの立ち上がりをトリガにしたリフレッシュ、および、リフレッシュタイマによるセルフリフレッシュ）が無効化され、外部からのリフレッシュ制御が有効化される。そして、こうした状態で外部からリフレッシュ制御信号EXREFBに負のワンショットパルスを供給することで、リフレッシュ制御信号REF Bに負のワンショットパルスを与えたときと同様にリフレッシュが起動されるとともに、リフレッシュアドレスR_ADDの更新が行われてゆく。一方、テストモード信号MODEを“L”レベルに設定すれば、第1実施形態と全く同様にして半導体記憶装置内部で生成されたリフレッシュ要求によるリフレッシュが行われるようになる。

【0246】なお、テストモード信号MODEおよびリフレッシュ制御信号EXREFBは何れも出荷前のテストでのみ使用される信号であって、出荷後はテストモード信号MODEを“L”レベルに固定して使用する。また、リフレッシュ制御信号EXREFBについてはテストモード信号MODEを“L”レベルにすれば半導体記憶装置の動作には影響しなくなるが、“H”レベル又は“L”レベルの何れかに固定して使用する。もっとも、

60

次に述べるようにリフレッシュ制御信号EXREFBのピンを出力イネーブル信号OEピン等の既存のピンと兼用するのであればこの限りではない。

【0247】テストモード信号MODE、リフレッシュ制御信号EXREFBを入力するためのピンとしては未使用ピン（NC；No Connection）を割り当てれば良い。大容量のSRAMではほとんどの場合に未使用ピンがあるため、外部からのリフレッシュ制御のためだけにピンの数を増やす必要が生じることはほとんど無い。また、リフレッシュ制御信号EXREFBについては、既にある信号のうちリフレッシュ時に使用されない信号と兼用するようにしても良い。こうした信号の候補としては、上述した出力イネーブル信号OEや、外部との間で入出力すべきバイトを選択するための選択信号UB（Upper Byte）、LB（Lower Byte）（いずれも図示せず）などが考えられる。ちなみに、図26ではリフレッシュ制御信号REF A, REF Bを直接マルチプレクサ261等に入力しているが、バッファを介在させるようにしても良い。

【0248】次に、上記構成による半導体記憶装置の動作を説明する。ここで、テストモード信号MODEを“L”レベルに設定したときの動作は第1実施形態の動作と全く同じであるため繰り返さない。したがって、ここではテストモード信号MODEを“H”レベルにしたときのテストモードにおける動作について詳述することとする。図27はテスタ装置から半導体記憶装置に供給される信号のタイミングをリフレッシュアドレスR_ADDとともに示したタイミングチャートである。また、図28はテスタ装置内で実施される半導体記憶装置のテスト手順を示したフローチャートである。

【0249】まず、チップに元々固定的な不良があったりホールド特性の劣悪なメモリセルがあつたりすると、リフレッシュ動作のテストを実施する意味がなくなるので、事前にホールド試験を実施しておく（図28のステップS1）。ホールド試験そのものは汎用DRAMで実施されているのと同様のテスト手順に従って行えば良い。すなわち、メモリセルアレイ6に対する書き込みを行い、リフレッシュを禁止した状態を所定時間継続した後に読み出しを行ったときに、読み出されたデータが書き込んだデータと一致するように当該所定時間（すなわちリフレッシュサイクル）を調整することで、ホールド時間の最も短いメモリセルに合わせたリフレッシュサイクルの値が決まることになる。その際、本実施形態ではテストモード信号MODE及びリフレッシュ制御信号EXREFBをともに“H”レベルに設定することで、内部で生成されるリフレッシュ要求および外部からのリフレッシュ要求による双方のリフレッシュ動作が全く行われなくなるため、リフレッシュを禁止した状態を容易に実現することができる。

【0250】次に、テスタ装置はリフレッシュ動作が正

(32)

61

しく行われていたかどうかを後で（具体的にはステップS 1 3で）検証するために、メモリセルアレイ6に対して予めテストパターンを書き込んでおく（ステップS 2）。ここではリフレッシュ動作の正常性を検証するのが目的であることから、全てのビットが“1”（即ち、各メモリセルが高電位を保持している状態に対応したデータ）のテストパターンを用いることになる。

【0251】次に、テスタ装置はテストモード信号MODEを“H”レベルに遷移させて半導体記憶装置をテストモードに移行させる（ステップS 3；図27の時刻t 230）。なお、テストモード信号MODEを“H”レベルにしたときにリフレッシュ制御信号EXREFBが“L”レベルであるとリフレッシュがすぐに行われてしまうため、テスタ装置はテストモード信号MODEを“H”レベルにするのと同時にリフレッシュ制御信号EXREFBを“H”レベルに遷移させる。もっとも、テストモード信号MODEを“H”レベルにするよりも以前に、リフレッシュ制御信号EXREFBを“H”レベルにしても良い。

【0252】こうした設定によって、半導体記憶装置の内部ではリフレッシュ制御信号REFA'が“L”レベルとなるため、アドレス変化検出信号ATDにワンショットパルスが発生しても半導体記憶装置内部でリフレッシュが起動されることはない。また、マルチプレクサ261はリフレッシュ制御信号EXREFBを選択するようになるため、リフレッシュ制御回路304内のリフレッシュタイマがどのような状態にあっても動作に影響しなくなる。そして、リフレッシュ制御信号EXREFBに負のワンショットパルスを与えたときにだけリフレッシュが行われる状態となる。なお、テスタ装置はテストを実施している期間中はこの後もテストモード信号MODEを“H”レベルのまま維持し続ける。

【0253】次に、テスタ装置は時間Tの値を例えば“-10ns”に初期化する（ステップS 4）。ここで言う時間Tは、リフレッシュ制御信号EXREFBを立ち下げる時点を基準としたときに、アドレスAddressをどのようなタイミングで変化させるかを規定した時間である。この時間Tが負の値であれば、リフレッシュ制御信号EXREFBを立ち下げるよりも時間“-T”だけ前の時点でアドレスAddressを変化させることを意味する。一方、時間Tが正の値であれば、リフレッシュ制御信号EXREFBを立ち下げてから時間Tが経過した後にアドレスAddressを変化させることを意味する。本実施形態では時間Tを“-10ns”～“+10ns”的範囲内で“1ns”刻みで可変させることによって、アドレスAddressの変化タイミングとリフレッシュの開始タイミングとの間の時間関係による不具合が発生するかどうかを調べている。

【0254】次に、テスタ装置はリフレッシュ回数Rの値を“0”に初期化する（ステップS 5）。後述するよ

(32)

62

うに、本実施形態ではある時間Tの値について所定回数分のリフレッシュ（通常、ワード線の本数分に相当する回数のリフレッシュ）を行って、メモリセルアレイ6全体をリフレッシュする。つまり、このリフレッシュ回数Rは個々の時間Tの値について実施されたリフレッシュの回数を記憶しておくためのカウンタに相当している。なお、本実施形態ではワード線の本数を一例として“512”本とする。

【0255】次に、時刻t 231になるとテスタ装置10は、アドレスAddressの値を変化させてアドレス変化検出信号ATDに正のワンショットパルスを発生させる（ステップS 6）。ここで、変化前後におけるアドレスAddressはどのような値であっても良く、また、アドレスAddressのどのビットを変化させても良い。しかしながら、ノイズを発生させる目的でアドレスAddressを変化させていることから、アドレスAddressの変化パターンとしては最もノイズがのりやすく且つノイズが大きくなるパターンであることが望ましい。こうしたことから、アドレスAddressの変化パターンとしてはアドレスAddressの全てのビットを同時に反転させるパターンが好ましい。

【0256】次に、テスタ装置はステップS 4で初期化された時間T（正確には時間Tが負の場合があるので時間Tの絶対値）をテスタ装置内部の図示しないタイマに設定（ステップS 7）する。そしてテスタ装置はこの時間（この時点では“10ns”）が経過するまでの間（ステップS 8が“NO”）は何もせずに待機する。そして、時刻t 231から“10ns”が経過して時刻t 232になる（ステップS 8が“YES”）と、テスタ装置はリフレッシュ制御信号EXREFBを“L”レベルに遷移させてリフレッシュ動作を開始させる（ステップS 9）。なお、この時点でリフレッシュ制御回路304内のアドレスカウンタはリフレッシュアドレスR_ADDの値として“R1”（R1=0～511[10進数]）を出力しているものとする。

【0257】この後、時刻t 232から所定時間が経過して時刻t 233になると、テスタ装置はリフレッシュ制御信号EXREFBを“H”レベルに戻してリフレッシュ動作を終了させる（ステップS 10）。なお、この所定時間としては例えば図7においてリフレッシュ制御信号REFBを“L”レベルにしている時刻t 54～t 56と同じ時間にすれば良い。そして時刻t 234になると、半導体記憶装置の内部ではリフレッシュ制御信号EXREFBの立ち上がりを受けて、リフレッシュ制御回路304が次のリフレッシュに備えてリフレッシュアドレスR_ADDの値を“R1+1”に更新する。

【0258】このように、以上述べた時刻t 230～t 234の間の詳細動作は、例えば図7の時刻t 53～t 57における動作と基本的には同じである。ただし本実施形態では、第1実施形態のようにアドレス変化検出信

(33)

63

号A T Dの立ち下がりなどのタイミングでリフレッシュアドレスR_ADDを更新するのではなく、テストモード信号MODEが“H”レベルとなっているときにリフレッシュ制御信号E X R E F Bが立ち上がりことでリフレッシュアドレスR_ADDを更新している。

【0259】一方、テスタ装置はリフレッシュアドレスR_ADDの更新に対応してリフレッシュ回数Rの値を“1”だけ増加（ステップS11）させてから、ワード線の本数分だけリフレッシュを行ったかどうか判定す

る。この場合はまだ1回しかリフレッシュを実施していない（ステップS12が“NO”）ので、テスタ装置は処理をステップS6に戻して、時間Tの値を変えずにこれまでに述べたのと同様の処理を行う。すなわち、時刻t235でアドレスAddressを変化させ、それから10nsが経過した時刻t236でリフレッシュ制御信号E X R E F Bを“L”レベルに遷移させてアドレス“R1+1”についてリフレッシュ動作を開始させる。そして、所定時間が経過後にリフレッシュ制御信号E X R E F Bを“H”レベルに戻したのちに、リフレッシュアドレスR_ADDを次のアドレスに更新する。

【0260】そしてこの後は、512本目のワード線（図27ではリフレッシュアドレスR_ADDが“R1-1”）のリフレッシュが時刻t241で終了する（ステップS12が“YES”）まで同様の動作を繰り返してゆく。ちなみに、図27では図示の都合からアドレスR1の前後のリフレッシュアドレスを単に“R1-1”，“R1+1”と表記してある。しかし正確に言うと、アドレスR1の値が“0”であればアドレス“R1-1”的値は511（10進数）であり、またアドレスR1の値が“511”（10進数）であればアドレス“R1+1”的値は“0”となる。

【0261】以上のようにしてメモリセルアレイ6全体についてリフレッシュが完了したならば、テスタ装置はアドレス変化に起因したノイズによってリフレッシュ動作に不具合が生じていないかどうかを検証する。そのため、テスタ装置はメモリセルアレイ6から順次データを読み出しながら、先のステップS2で書き込んだテストパターンと逐一照合を行う（ステップS13）。その結果、何れか一つでもデータが不一致（ステップS14が“NG”）であれば、テストを行ったチップは上述した不具合の生じている不良品であるため、これを廃棄処分のチップに分類する（ステップS15）。

【0262】なお、図示の都合から、図28ではステップS13において全てのメモリセルの照合を行ってからステップS14においてチェック結果を判定するようにも取ることができる。しかしながら、テスト時間の観点からすれば、照合結果が不一致となるメモリセルが一つでも検出されたのであれば、残りのメモリセルについて照合を行うことなくそのチップを廃棄処分（ステップS15）と判定しても問題ないのは当然である。

64

【0263】一方、ステップS13における照合の結果として全てのデータが一致している（ステップS14が“OK”）のであれば、時間Tが“-10ns”については不具合が生じていないことから、テスタ装置は時間Tを例えれば“1ns”だけ増やした（ステップS16）のちに、この時間Tが所定値に達しているかどうか判定する。本実施形態では“+10ns”までテストを実施することになるため、この所定値は“+11ns”となる。

【0264】そして、この時点では時間Tが“-9ns”である（ステップS17が“NO”）ため、テスタ装置は処理をステップS5に戻してこれまでに述べたのと同様の処理を繰り返すようとする（時刻t243～t250）。この場合の動作と上述した動作との相違点は、アドレスAddressを変化させてからリフレッシュ制御信号E X R E F Bを立ち下げるまでが“9ns”（例えば、最初のワード線に対するテストでは時刻t243～t244）になっていることである。

【0265】テスタ装置はこうして時間Tを“1ns”ずつ増やしながら時間Tの個々の値についてテストを行ってゆく。そして、アドレスAddressの変化によるノイズの影響でリフレッシュに不具合が生じていればこの不具合がメモリチェック（ステップS13）で検出されることになる。一方、こうした不具合が何ら検出されることはなく、“-10ns”～“+10ns”の範囲内にある全ての時間TについてステップS14のチェック結果が“OK”であれば、最終的にステップS17の判定結果が“YES”となり、テスト対象となっている半導体記憶装置がアドレスAddressの変化によるノイズの影響を受けない正常なチップ（良品）であるものと判定することができる。

【0266】なお以上の動作において、時間Tの値が“0”である場合、テスタ装置はアドレスAddressを変化させるのと同時にリフレッシュ制御信号E X R E F Bを立ち下げるようになる。つまりこの場合テスタ装置は、図28におけるステップS7～S8の処理を省略して、ステップS6及びステップS9の処理を同時に行うことになる。一方、時間Tが正の値である場合、テスタ装置はリフレッシュ制御信号E X R E F Bをまず立ち下げ、それから時間Tが経過した時点でアドレスAddressを変化させるようになる。つまりこの場合は、図28におけるステップS6の処理とステップS9の処理を互いに入れ替えることになる。

【0267】以上のように本実施形態では、リフレッシュ制御信号R E F A'及びR E F B'のタイミングを半導体記憶装置外部から制御可能な構成として、リフレッシュの開始タイミングとアドレス変化による通常の読み出し／書き込み動作のタイミングとの間の時間関係を可変させている。このため、これら両者の時間関係として取り得る時間範囲の全体にわたって、アドレス変化によ

(34)

65

って発生するノイズの影響に起因した不具合が生じないことを出荷前に検証可能となる。

【0268】ちなみに、上述した説明では時間Tを“-10 ns”～“+10 ns”的範囲内において“1 ns”刻みで変化させたが、これは飽くまでも一例に過ぎず、時間Tを可変させる時間範囲や刻み幅の時間値は個々の半導体記憶装置に応じて適宜決定すれば良いのはもちろんである。

【0269】また、上述した説明では第1実施形態を前提として本発明を説明したが、第2実施形態～第6実施形態に適用した場合も全く同様である。すなわち、これら実施形態において、リフレッシュ制御回路304（リフレッシュ制御回路204）、マルチプレクサ5、ロウ制御回路13（ロウ制御回路313、ロウ制御回路353）の間の接続関係は第1実施形態と全く同じである。したがって、図1の構成に対して行ったのと全く同様の変形を図12、図14、図17、図23又は図24の構成に加えれば良い。

【0270】なお、上述した各実施形態では例えばアドレス変化検出信号ATDに発生するワンショットパルスの立ち上がりエッジからリフレッシュを行うようにしていたが、ワンショットパルスの論理を反転させてその立ち下がりエッジからリフレッシュを行うようにしても良い。これは、アドレス変化検出信号ATD以外の各信号についても全く同様である。

【0271】また、上述した各実施形態ではメモリセルアレイ6等の各メモリセルが1トランジスタ1キャパシタで構成されているものとしたが、メモリセルの構成がこうした形態に限定されるものではない。確かに、チップサイズ等の点からはこうしたメモリセルが最も好ましいが、本発明の半導体記憶装置では1トランジスタ1キャパシタ以外のメモリセルの使用を否定するものではない。すなわち、汎用SRAMのメモリセルよりも構成の小さなDRAMメモリセルであれば、1トランジスタ1キャパシタ構成でなくとも汎用SRAMに比べてチップサイズを削減できる効果がある。

【0272】また、上述した各実施形態による半導体記憶装置は、例えば図1に示した回路全体が单一のチップ上に実装されている形態であって良いのはもちろんであるが、回路全体が幾つかの機能ブロックに分割されていて各機能ブロックが別々のチップに実装されているような形態であっても良い。後者の例としては、各種の制御信号やアドレス信号を発生させる制御部分とメモリセル部分とが別々のチップ（コントロールチップとメモリチップ）に搭載された混載IC（集積回路）が考えられる。つまり、メモリチップの外部に設けたコントロールチップから各種の制御信号をメモリチップへ供給するような構成も本発明の範疇に属する。

【0273】

【発明の効果】以上説明したように、請求項1記載の発

66

明では、スタンバイ状態となったときに、複数種類のモードの中から選択されたモードに従って、セルフリフレッシュに必要となる装置内の各回路を回路毎に動作させあるいはその動作を停止させるようにしている。これによって、リフレッシュを行うにあたって不要な回路を動作させる必要がなくなるため、消費電力を低減することが可能となる。このため、リフレッシュを必要とするメモリセルを用いた汎用SRAM仕様のメモリ、疑似SRAM、汎用DRAMなどにおいて、汎用SRAMにおけるスタンバイモードに類似した低消費電力モードを実現することができる。また、セルフリフレッシュに必要となる回路毎に各回路を動作させるかどうかを制御できるため、ユーザのニーズやアプリケーションに応じてスタンバイ電流を段階的に削減してゆけるなど、汎用SRAM等には見られない独特のスタンバイモードを実現することができる。

【0274】また、請求項2記載の発明では、独立してリフレッシュ動作が制御される複数のメモリセルエリアでメモリセルアレイを構成したときに、メモリセルエリア及びその周辺回路からなるメモリプレート毎にモードを設定して、各メモリプレートを動作させるかその動作を停止させている。これにより、一時的に保持しておけば良い情報が記憶されるメモリセルエリアに関しては、スタンバイ状態でセルフリフレッシュを行う必要がなくなる。したがって、アプリケーション等が使用するメモリ空間の割り当てに応じてメモリプレートを動作させるかどうかを決めておけば、ユーザのニーズやアプリケーションに特化した形でスタンバイ電流を最小限に抑えることが可能となる。

【0275】また、請求項4記載の発明では、複数のメモリプレート間で共有された電源手段を備えるようにして、メモリプレート毎に設定されたモードに応じて、この電源手段から各メモリプレートに電源供給を行うかどうか個別に制御している。これにより、メモリプレートの数に比例して電源手段の規模が増大することはないため、多数のメモリプレートを設けたときであっても、小規模な回路構成でスタンバイ電流を削減することが可能となる。

【0276】また、請求項5記載の発明では、スタンバイのための入力モード信号を与えてメモリプレート毎にモードを設定可能としている。これにより、ユーザのニーズや使用するアプリケーションが変わっても、こうした変化に柔軟に対応しながらスタンバイ電流を最小限に抑えることが可能となる。

【0277】また、請求項6記載の発明では、モード設定を行うべきメモリプレートをモード設定のために入力したアドレスに基づいて特定している。これにより、ヒューズの切断によってモード設定を行うときなどに比べて、モード設定を簡単に行えるとともに、通常の読み出しや書き込みと同様にしてユーザ側でモードの再設定を

50

(35)

67

簡単に行える。したがって、モード設定のために外部から専用の信号を与える必要がなく、こうした専用の信号のためのピンを設ける必要もない。

【0278】また、請求項7記載の発明では、リフレッシュ制御回路及び電源回路の双方を動作させる第1のモード、リフレッシュ制御回路の動作を停止させて電源回路を動作させる第2のモード、リフレッシュ制御回路及び電源回路の双方の動作を停止させる第3のモードを設けて、これらの中からいずれかのモードを選択できるようしている。これにより、適用される機器やその使用環境などに応じて、スタンバイ状態におけるデータ保持の要否、アクティブ状態への復帰時間、電流消費量などを外部からきめ細かく制御することができる。すなわち、第1のモードではセルフリフレッシュに必要な回路へ電源が供給されているためメモリセルのデータを保持できるとともに、スタンバイ状態からアクティブ状態へ移行させるまでの時間を3種類のモードの中で最も短くすることができる。また第2のモードでは、リフレッシュ制御手段に供給すべき分だけ第1のモードよりも消費電流を低減させることができるほか、スタンバイ状態からアクティブ状態に移行したときには第1のモードと同様に直ちに半導体記憶装置を使用することができる。さらに第3のモードでは3種類のモードの中では消費電流を最も小さくすることができる。また、請求項8記載の発明では、所定のアドレスに対してモード毎に予め決められたデータの書き込み要求があったとき、または、活性化信号に所定の変化があったときにモードの設定を行っている。これにより、スタンバイモードを設定するために半導体記憶装置へ専用の信号を与える必要がなく、また、こうした専用の信号のためのピンを半導体記憶装置に設ける必要がない。

【0279】そして、請求項9～16記載の発明による制御回路は、メモリセルが形成されたメモリチップの外部から制御信号やアドレス信号を供給して、このメモリチップとともに上述した半導体記憶装置を構成するものである。このため、請求項9～10、12～16記載の発明による制御回路を用いることによって、それぞれ、請求項1、2、4～8記載の発明による半導体記憶装置が奏する上述した効果と同様の効果が得られる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体記憶装置の構成を示すブロック図である。

【図2】 同実施形態による半導体記憶装置の要部の詳細構成を示した回路図である。

【図3】 同実施形態による半導体記憶装置において、リフレッシュおよびこれに続く読み出しが1メモリサイクルで実施される場合の動作を示したタイミングチャートである。

【図4】 同実施形態による半導体記憶装置において、リフレッシュが途中から行われなくなって、読み出しだ

(35)

68

けが実施されるようになった場合の動作を示したタイミングチャートである。

【図5】 同実施形態による半導体記憶装置において、リフレッシュおよびこれに続く書き込みが1メモリサイクルで実施される場合の動作を示したタイミングチャートである。

【図6】 同実施形態による半導体記憶装置において、リフレッシュが途中から行われなくなって、書き込みまたは読み出しだけが実施されるようになった場合の動作を示したタイミングチャートである。

【図7】 同実施形態による半導体記憶装置において、リフレッシュタイムによるセルフリフレッシュが行われた場合の動作を示すタイミングチャートである。

【図8】 同実施形態による半導体記憶装置において、リフレッシュタイムによるリフレッシュが行われるとともに引き続いて読み出しが行われたときの動作を示したタイミングチャートである。

【図9】 同実施形態による半導体記憶装置において、1メモリサイクル中で書き込みイネーブル信号が遅れて入力されたときのリフレッシュ、ダミーの読み出しおよび書き込みを示したタイミングチャートである。

【図10】 同実施形態による半導体記憶装置において、1メモリサイクル中においてリフレッシュタイムによるセルフリフレッシュが開始してから書き込みイネーブル信号が遅れて入力されたときのリフレッシュ、ダミーの読み出し、セルフリフレッシュおよび書き込みを示したタイミングチャートである。

【図11】 同実施形態による半導体記憶装置において、1メモリサイクル中で書き込みイネーブル信号が遅れて入力され、書き込み中にリフレッシュタイムによるリフレッシュ要求があったときの書き込みとこれに続くセルフリフレッシュを示すタイミングチャートである。

【図12】 本発明の第2実施形態による半導体記憶装置の構成を示すブロック図である。

【図13】 同実施形態による半導体記憶装置において、リフレッシュが途中から行われなくなって、読み出しだけが実施されるようになった場合の動作を示したタイミングチャートである。

【図14】 本発明の第3実施形態による半導体記憶装置の構成を示すブロック図である。

【図15】 同実施形態による半導体記憶装置の読み出し動作を示すタイミングチャートである。

【図16】 同実施形態による半導体記憶装置の書き込み動作を示すタイミングチャートである。

【図17】 本発明の第4実施形態による半導体記憶装置の構成を示すブロック図である。

【図18】 同実施形態によるスタンバイモード制御回路の詳細構成を示した回路図である。

【図19】 同実施形態によるリフレッシュ制御回路の詳細構成を示した回路図である。

50

(36)

69

【図20】 同実施形態によるブースト電源の詳細な構成を示した回路図である。

【図21】 同実施形態による基板電圧発生回路の詳細な構成を示した回路図である。

【図22】 同実施形態によるリファレンス電圧発生回路の詳細な構成を示した回路図である。

【図23】 本発明の第5実施形態による半導体記憶装置の要部の構成を示すブロック図である。

【図24】 本発明の第6実施形態による半導体記憶装置の要部の構成を示すブロック図である。

【図25】DRAMメモリセルのセンス動作において、ビット線対BL, /BLの電位が時間経過に伴って遷移してゆく様子を示したタイミングチャートである。

【図26】 本発明の第7実施形態による半導体記憶装置の構成を示すブロック図である。

【図27】 同実施形態において、テスト装置から半導体記憶装置に供給される信号のタイミングをリフレッシュアドレスR_ADDとともに示したタイミングチャートである。

【図28】 同実施形態において、テスト装置内で実施される半導体記憶装置のテスト手順を示したフローチャートである。

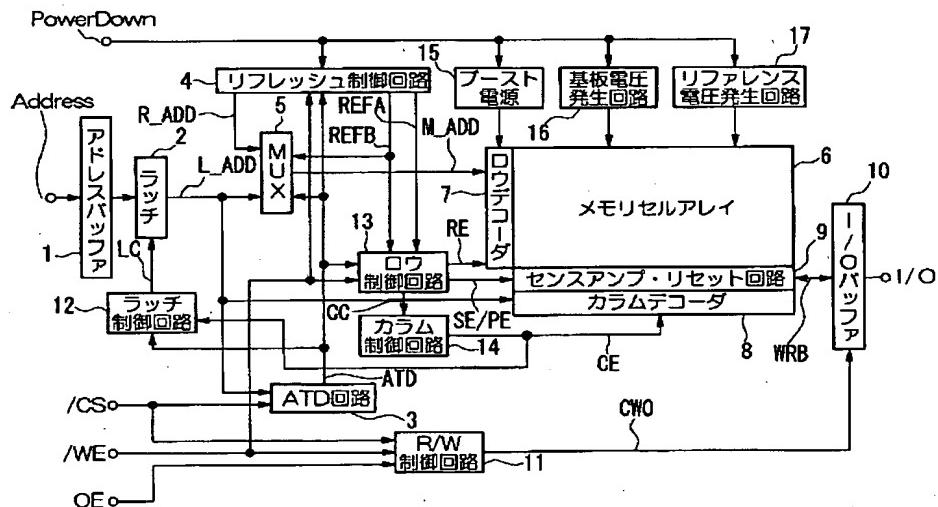
【符号の説明】

- 1, 141, 151 アドレスバッファ
2, 142 ラッチ
3, 143, 163 ATD回路

70

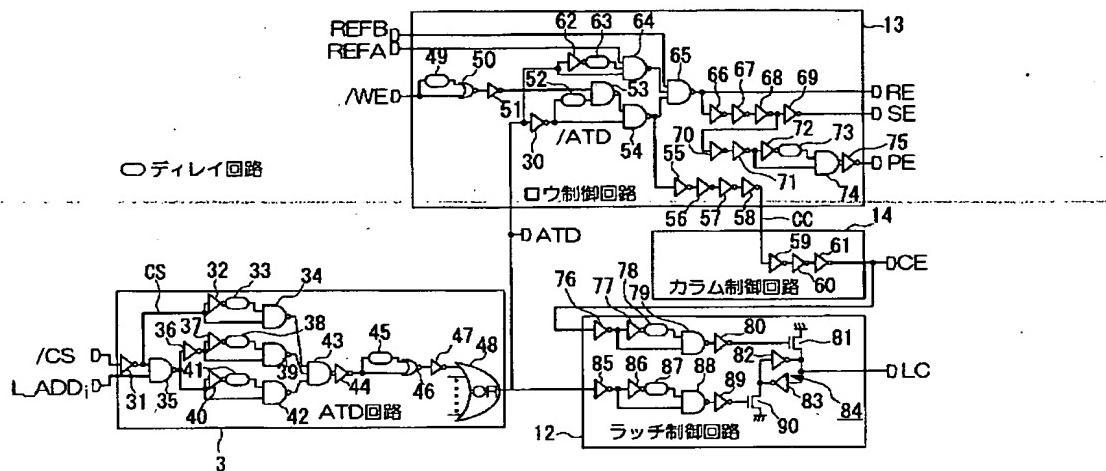
- 4, 164, 204, 304 リフレッシュ制御回路
 5, 165, 261 マルチプレクサ
 6 メモリセルアレイ
 6 1 ~6 n メモリセルエリア
 7, 7 1 ~7 n ロウデコーダ
 8, 8 1 ~8 n , 148 カラムデコーダ
 9, 9 1 ~9 n , 149 センスアンプ・リセット回路
 10 I／Oバックアラーム回路
 11 R／W制御回路
 12 ラッチ制御回路
 13, 173, 313, 353 ロウ制御回路
 14 カラム制御回路
 15, 151, 152, 215 ブースト電源
 16, 161, 162, 216 基板電圧発生回路
 17, 171, 172, 217 リファレンス電圧発生回路
 152 バスデコーダ
 153 バスセレクタ
 201 スタンバイモード制御回路
 262 ノアゲート
 263 インバータ
 301, 351 PowerDown 制御回路
 350 電源回路
 352 1 ~352 n スイッチ素子
 354 プログラム回路

【図 1】

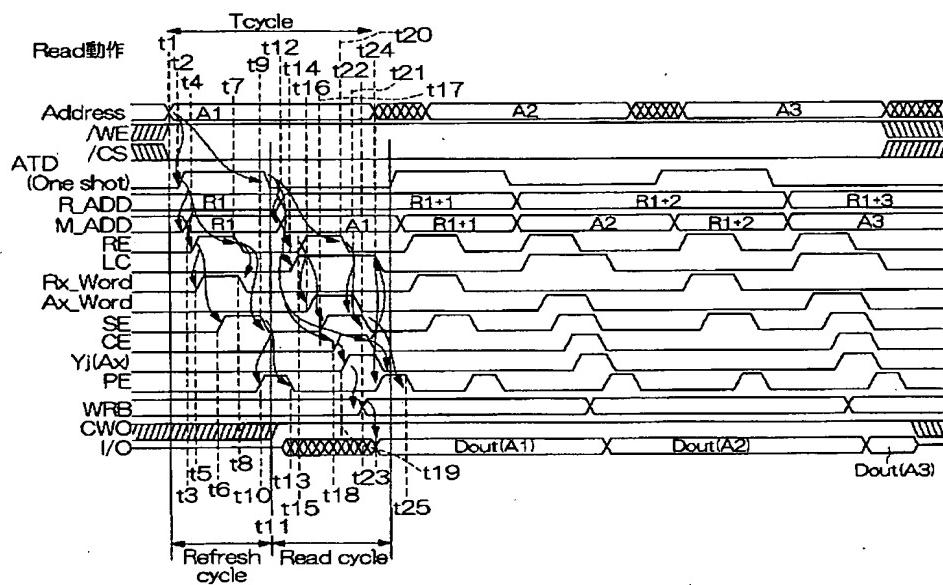


(37)

【図2】

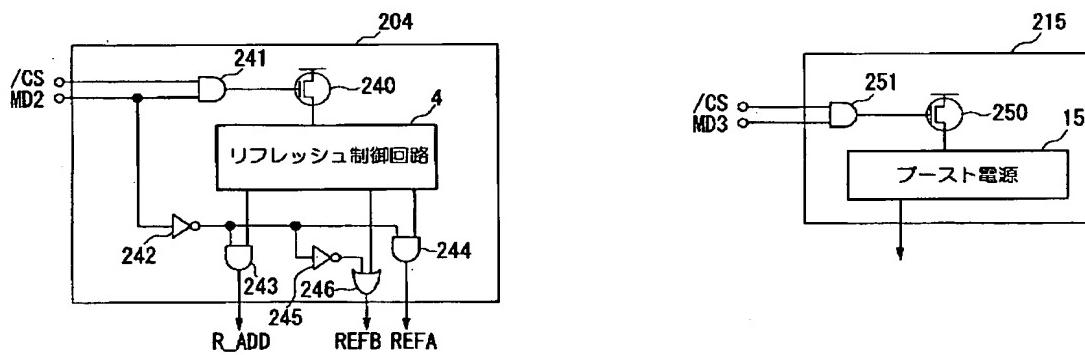


【図3】



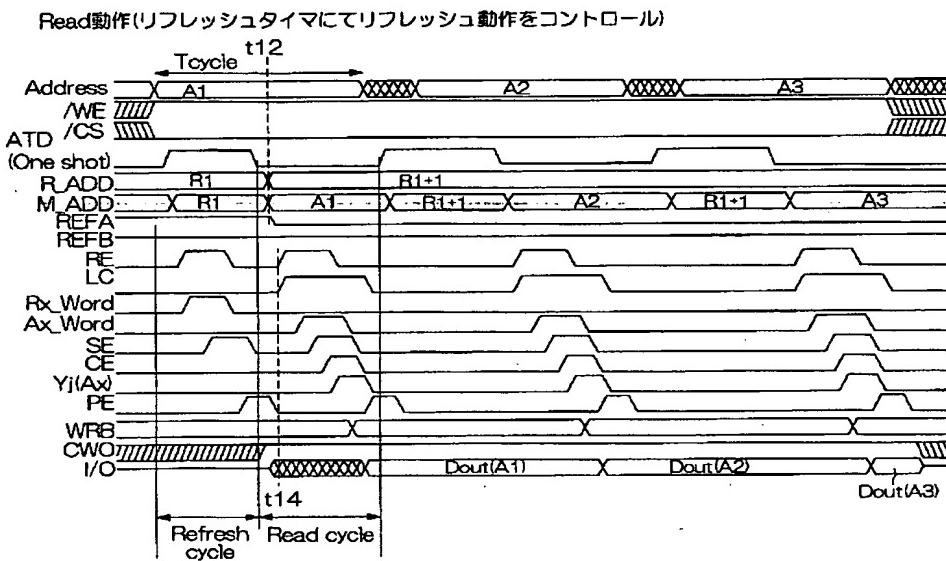
【図19】

【図20】

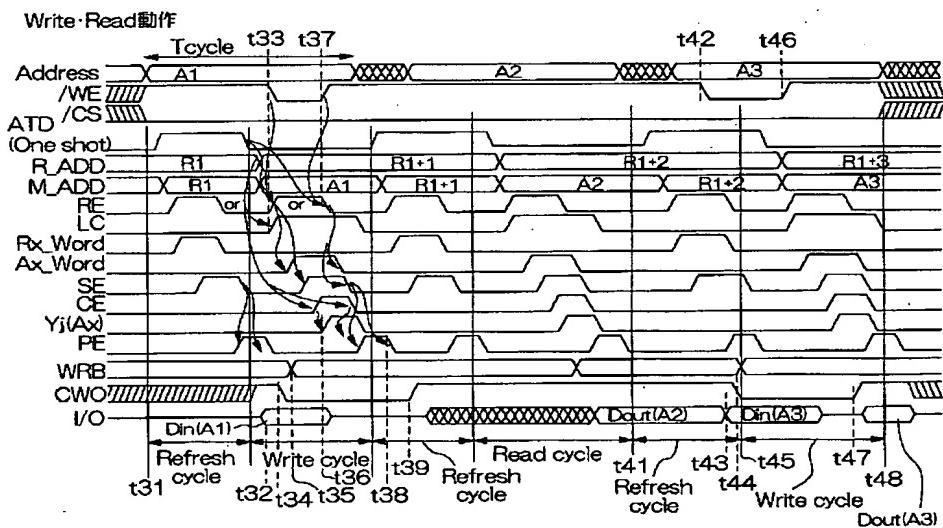


(38)

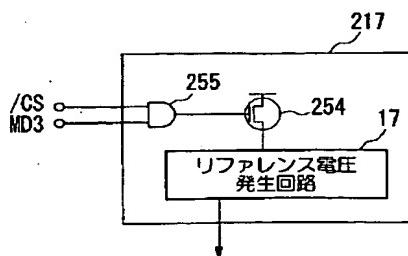
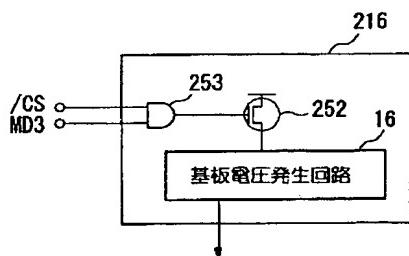
【図4】



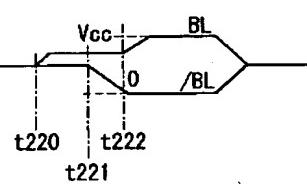
【図5】



【図21】



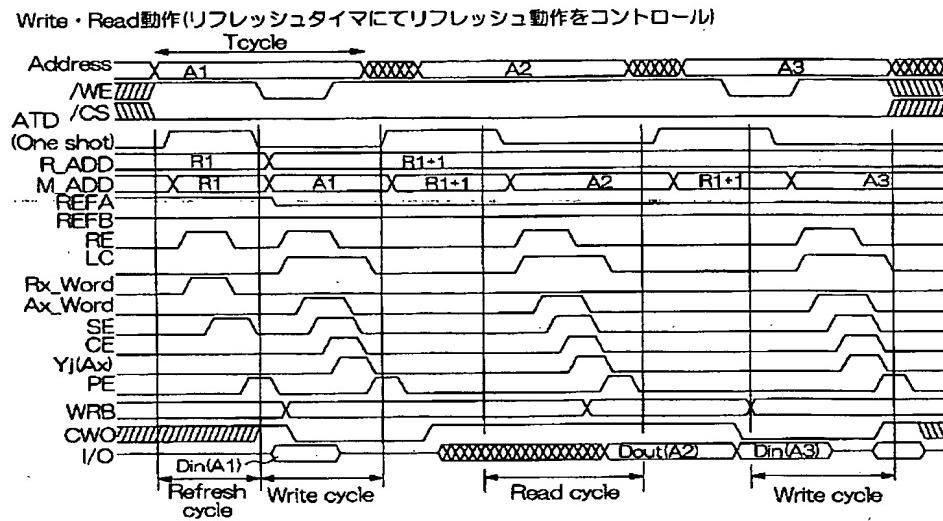
【図22】



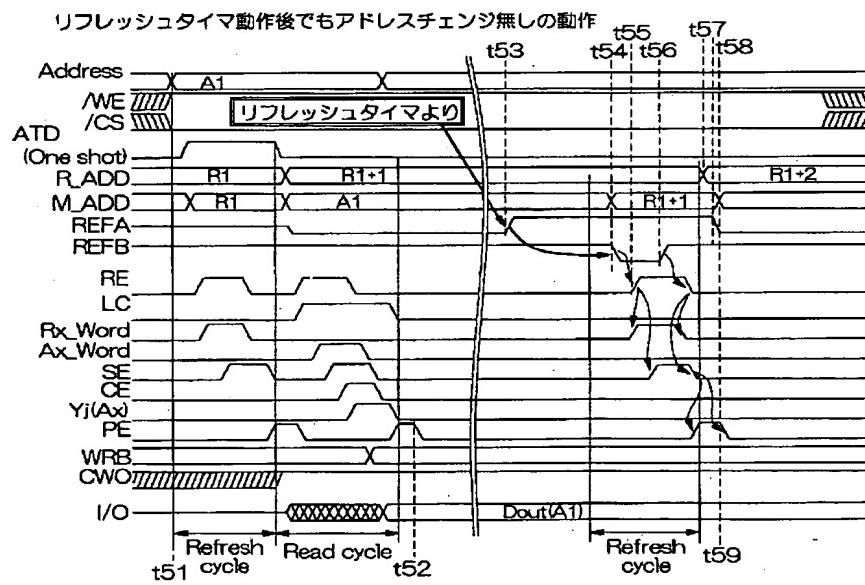
【図25】

(39)

【図6】

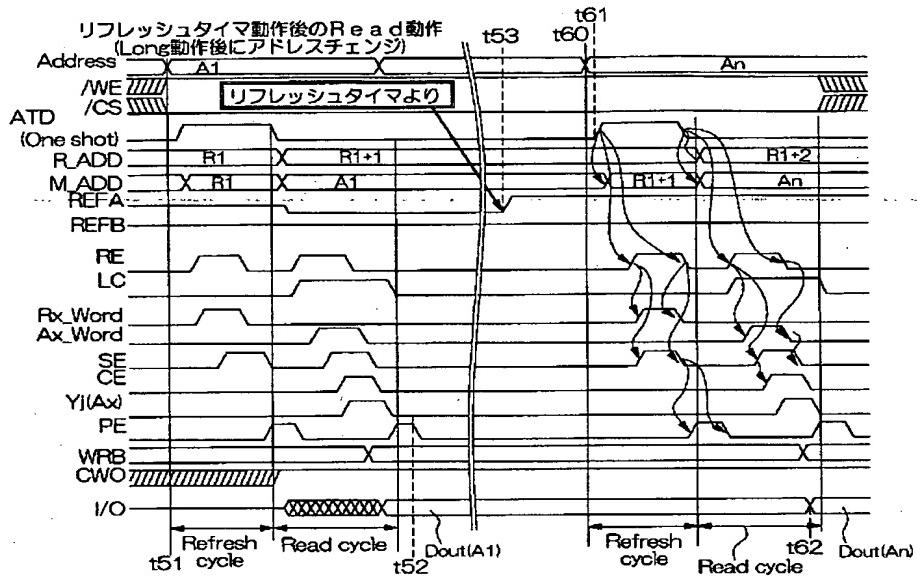


【図7】

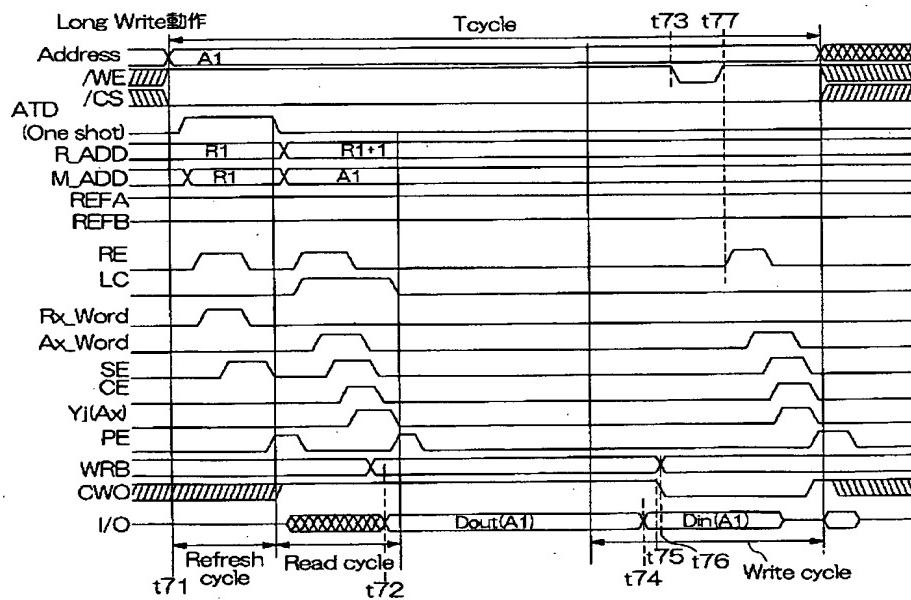


(40)

【図8】

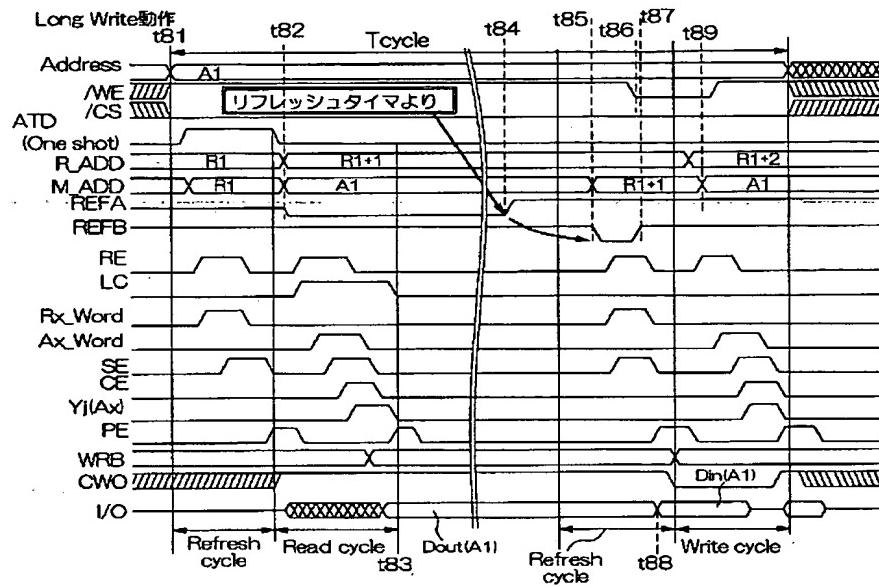


【図9】

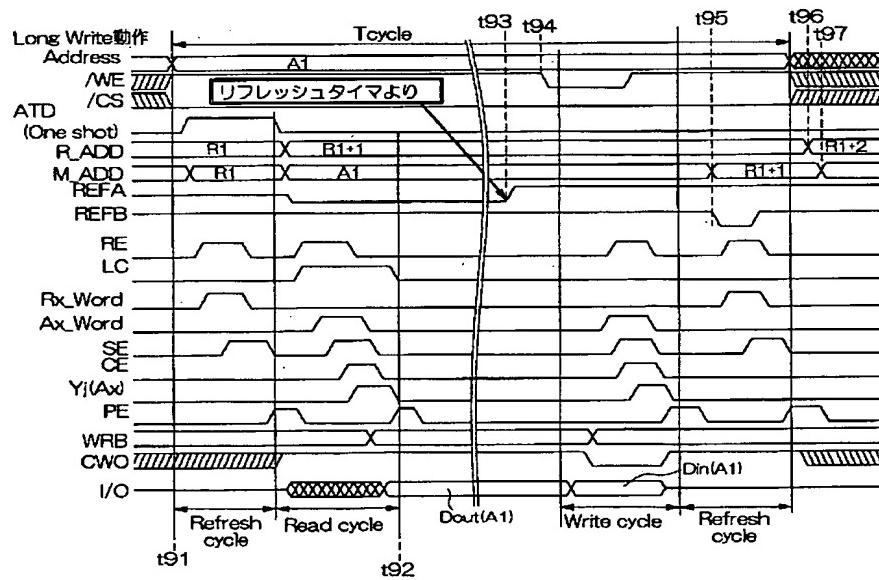


(41)

【図10】

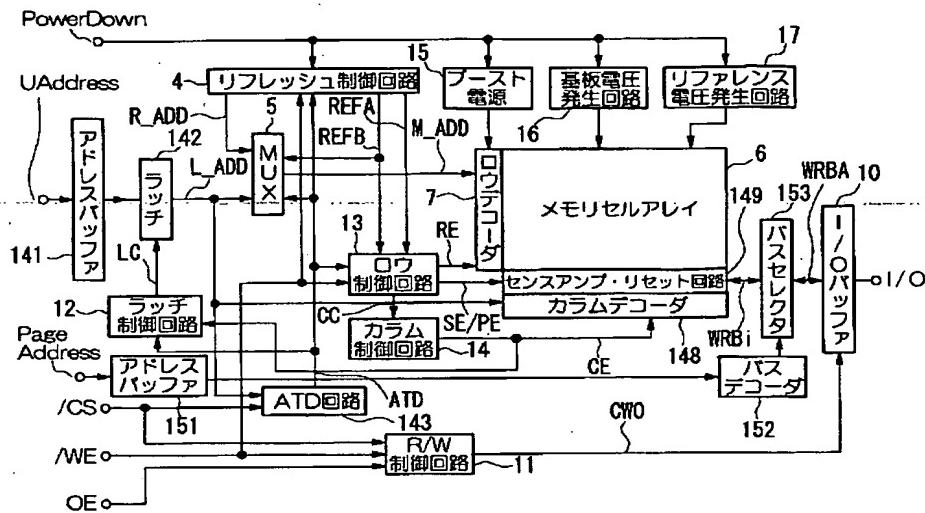


【図11】

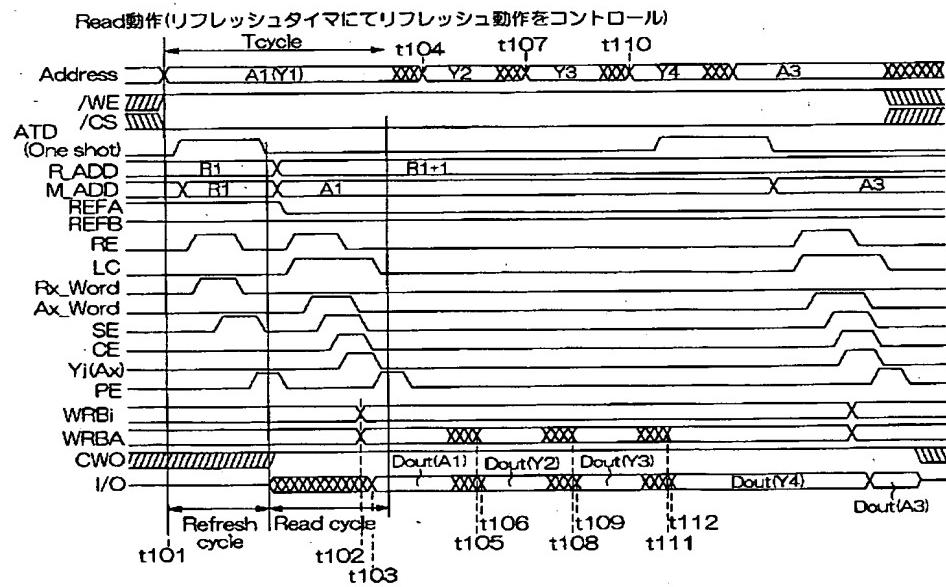


(42)

【図12】

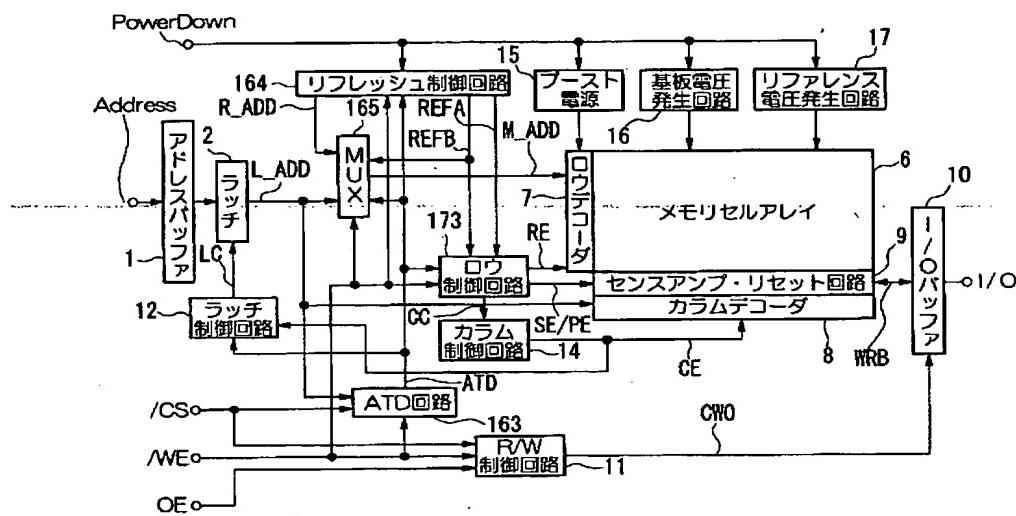


【図13】

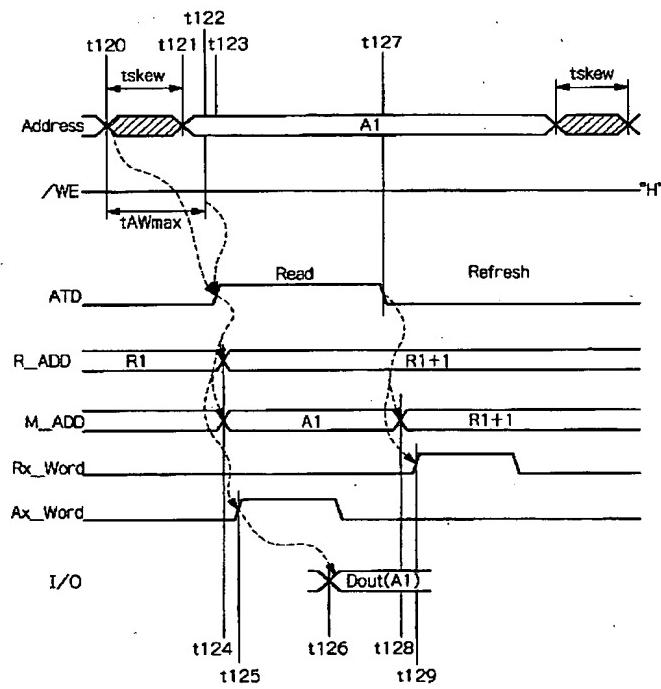


(43)

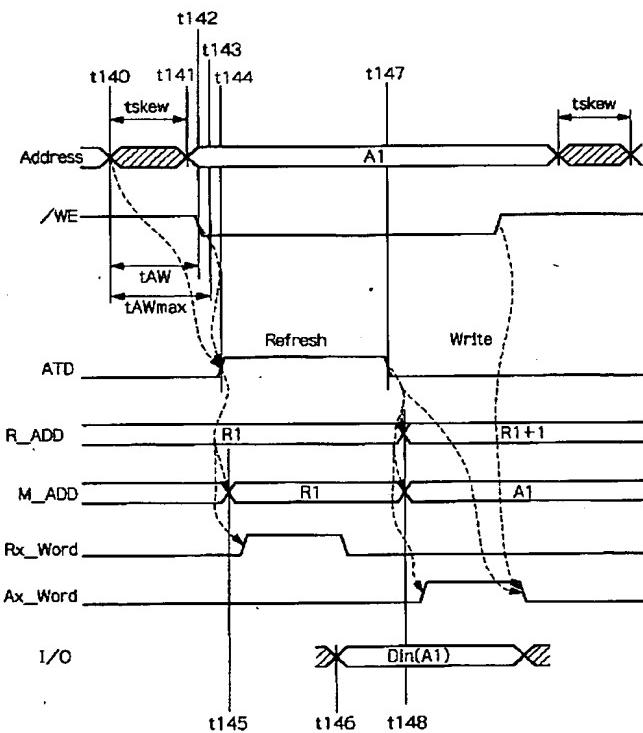
【図14】



【図15】

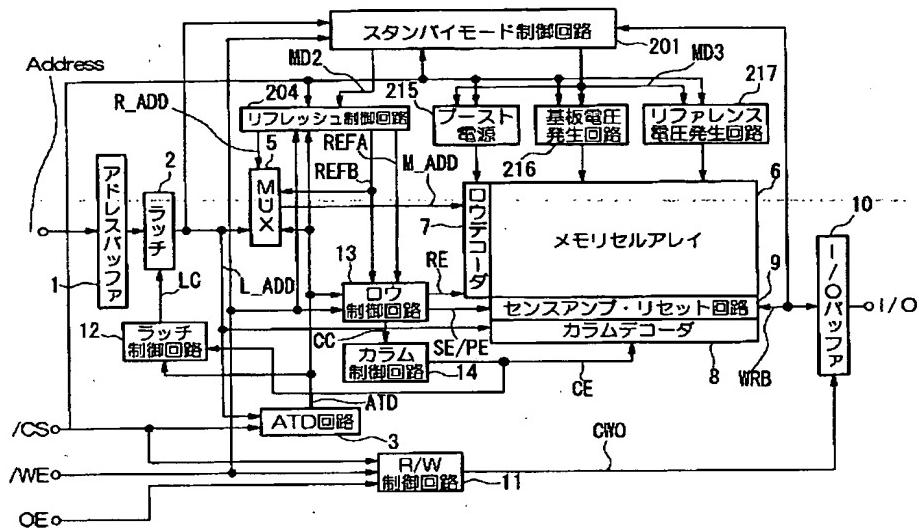


【図16】

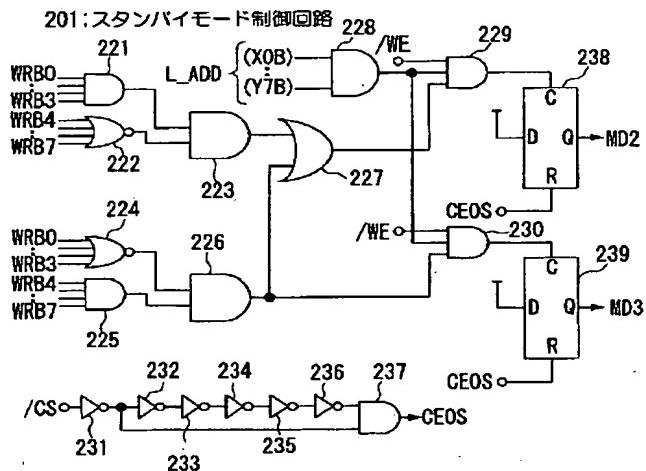


(44)

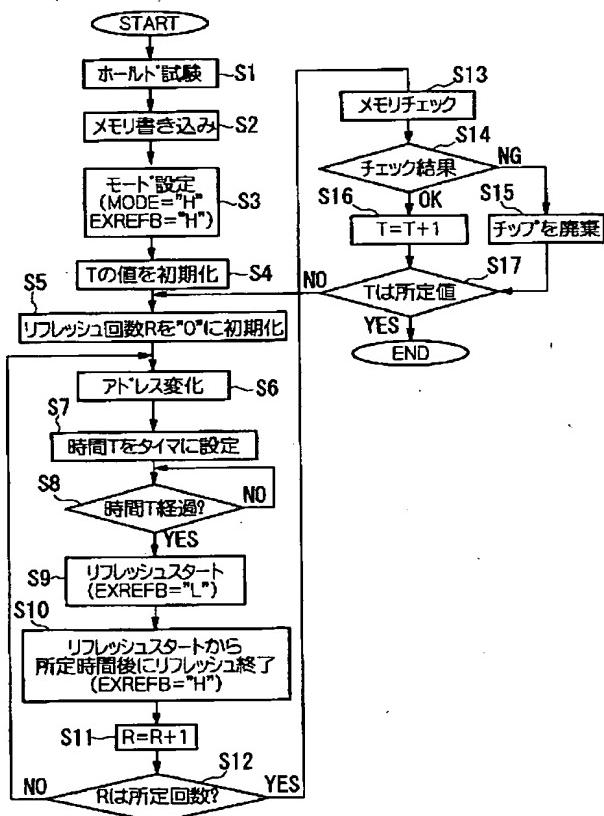
【図17】



【図18】

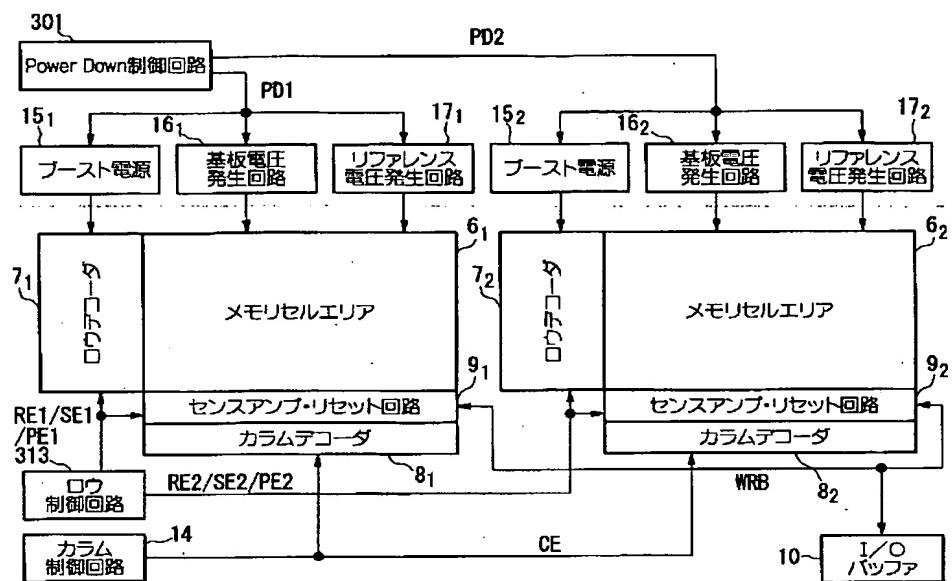


【図28】

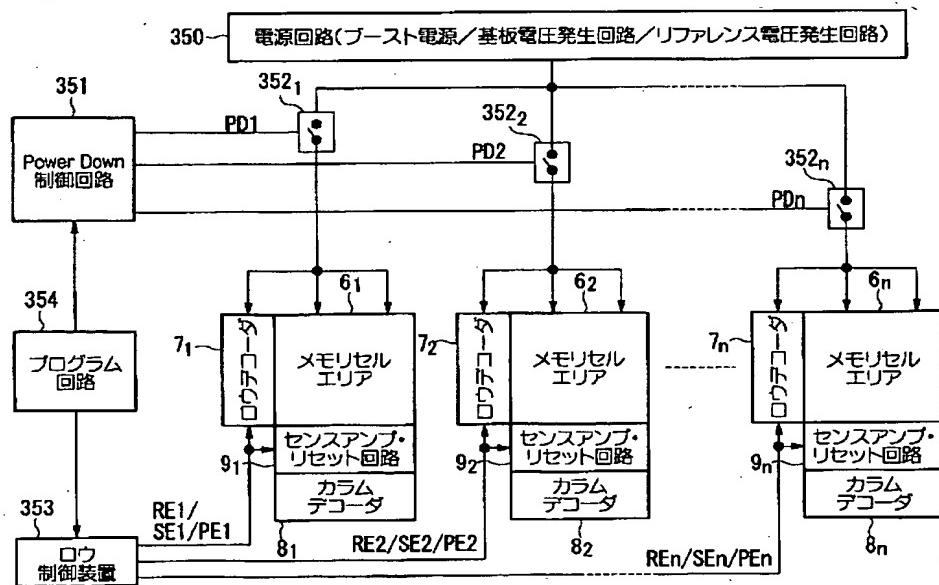


(45)

【図23】

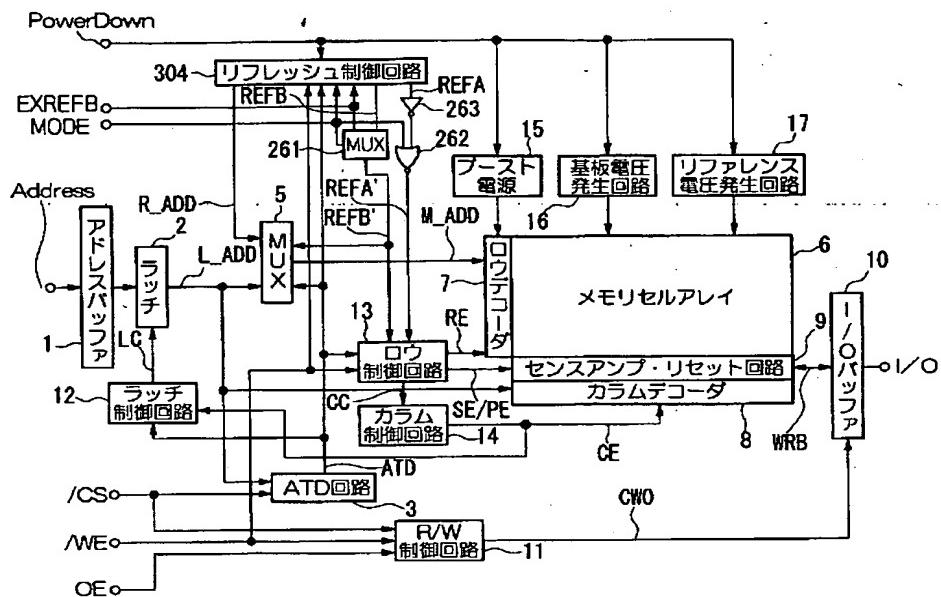


【図24】

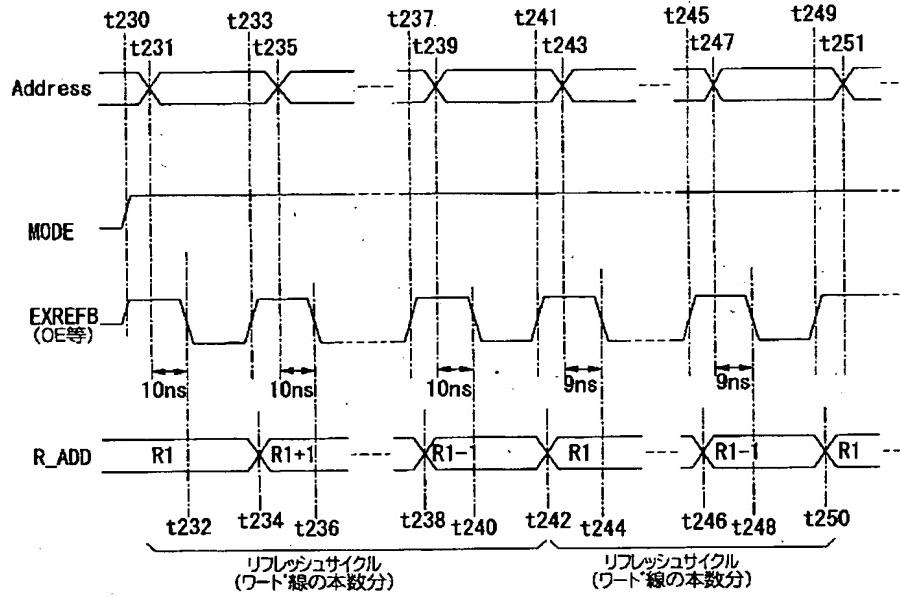


(46)

【図26】



【図27】



フロントページの続き

(72) 発明者 草刈 隆

東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム (参考) 5M024 AA16 AA20 AA27 AA50 AA70
 AA90 BB22 BB27 BB28 BB29
 BB37 BB39 BB40 DD87 DD90
 EE05 EE30 FF03 FF05 FF07
 FF20 FF30 KK22 LL01 MM10
 PP01 PP02 PP03 PP07

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-085970

(43)Date of publication of application : 20.03.2003

(51)Int.CI.

G11C 11/403

G11C 11/406

(21)Application number : 2002-253650

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.2000

(72)Inventor : TAKAHASHI HIROYUKI
INABA HIDEO
KUSAKARI TAKASHI

(30)Priority

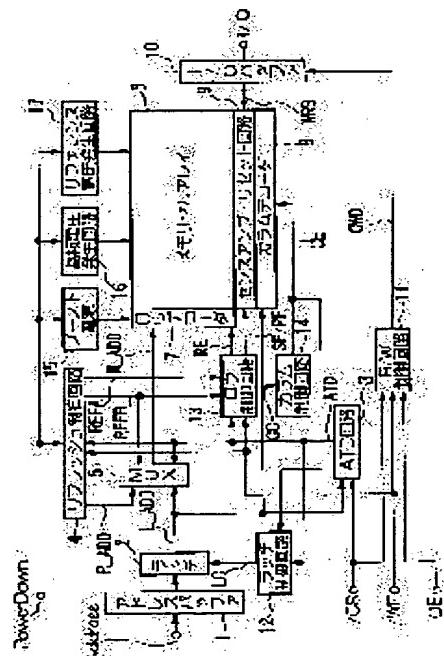
Priority number : 11345345	Priority date : 03.12.1999	Priority country : JP
2000067607	10.03.2000	JP
2000177390	13.06.2000	JP

(54) SEMICONDUCTOR MEMORY AND ITS TESTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory which has small chip size and small power consumption, is inexpensive, and causes neither delay of access nor memory destruction due to skew included in an address as a semiconductor memory which is equipped with the same memory cells as those of a DRAM and operates with SRAM specification.

SOLUTION: An ATD circuit 3 generates a one-shot pulse in an address change detection signal ATD in response to change of an address Address supplied from outside. At this time, one-shot pulses are generated by the bits of the address and put together to generate only one one-shot pulse even when the address includes the skew. Refreshing operation is performed first during the generation period of the one-shot pulse by using a refresh address R-ADD generated by a refresh control circuit 4. Then a latch control signal LC is generated in response to the fall of the one-shot pulse and the address is supplied to a latch 2 to access a memory cell array 6.



LEGAL STATUS

[Date of request for examination] 30.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

16
16
92

[examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In a semiconductor memory equipped with two or more memory cells which need refresh When whether each circuit in equipment which is needed for said refresh is operated in a standby condition changes into said standby condition according to the mode chosen from two or more kinds of modes specified for every circuit A semiconductor memory characterized by providing a motion-control means to operate each circuit in equipment which is needed for said refresh, or to stop those actuation.

[Claim 2] A memory cell array which consists of said two or more memory cells It is divided into two or more memory cell area controlled independently whether said refresh is performed when it changes into said standby condition. Said motion-control means It responds to said mode set up, respectively for every memory plate which consists of a circumference circuit which is needed for refresh of said memory cell area and this memory cell area. A semiconductor memory according to claim 1 characterized by operating each of said memory plate or stopping the actuation.

[Claim 3] It is the semiconductor memory according to claim 2 characterized by for each of said memory plate equipping further said memory cell area which constitutes this memory plate, and said circumference circuit with a power supply means to perform current supply, and for said motion-control means operating said power supply means established for said every memory plate according to said mode set up for said every memory plate, or stopping the actuation.

[Claim 4] It is the semiconductor memory according to claim 2 which is equipped with a power supply means shared among said two or more memory plates in order to perform current supply to said two or more memory plates, and is characterized by providing two or more switching means which control whether said motion-control means supplies a power supply to each of said memory plate from said power supply means according to said mode set up for said every memory plate for said every memory plate.

[Claim 5] A semiconductor memory given in which term of claims 2-4 characterized by answering an input mode signal and providing a program means for setting up said mode for said every memory plate.

[Claim 6] Said program means is a semiconductor memory according to claim 5 characterized by setting up the mode which specified a memory plate equipped with memory cell area corresponding to this address based on the inputted address, and was specified by said input mode signal as the mode to a this specified memory plate.

[Claim 7] Each circuit in equipment which is needed for said refresh When it has a refresh control means which controls said refresh, and a power supply means to perform current supply to a predetermined circuit except said refresh control means and an own power supply means and said motion-control means changes into said standby condition While stopping actuation of the 1st mode in which both sides of said refresh control means and said power supply means are operated, and said refresh control means It responds to the mode chosen from the 3rd modes in which actuation of both sides of the 2nd mode in which said power supply means is operated, said refresh control means, and said power supply means is stopped. A semiconductor memory given in which term of claims 1-6 characterized by operating said refresh control means and said power supply means, or stopping the actuation.

[Claim 8] Said motion-control means is a semiconductor memory according to claim 7 characterized by answering that there was a write request of data beforehand decided for every mode to the predetermined address, and setting up the mode.

[Claim 9] The control circuit characterized by to be the control circuit which controls actuation of each circuit which is needed for refresh of a memory cell, and to operate each circuit which is needed for said refresh when whether each of said circuit is operated in a standby condition changes into said standby condition according to the mode chosen from two or more kinds of modes specified for every circuit, or to stop those actuation.

[Claim 10] A control circuit according to claim 9 characterized by operating each of said memory plate according to said mode set up for every memory plate which consists of a circumference circuit where it is necessary whether to perform said refresh for refresh of memory cell area controlled independently and this memory cell area when it changes into said standby condition, or stopping the actuation.

[Claim 11] A control circuit according to claim 10 characterized by operating a power supply means established for said every memory plate according to said mode set up for said every memory plate in order to perform current supply in said memory cell area and said circumference circuit, or stopping the actuation.

[Claim 12] A control circuit according to claim 10 characterized by providing two or more switching means which control whether a power supply is supplied to each of said memory plate according to said mode set up for said every memory plate from a power supply means shared among said two or more memory plates in order to perform current supply to said two or more memory plates.

[Claim 13] A control circuit given in which term of claims 10–12 characterized by answering an input mode signal and providing a program means for setting up said mode for said every memory plate.

[Claim 14] Said program means is a control circuit according to claim 13 characterized by setting up the mode which specified a memory plate equipped with memory cell area corresponding to this address based on the inputted address, and was specified by said input mode signal as the mode to a this specified memory plate.

[Claim 15] A refresh control means which controls said refresh when it changes into said standby condition, While stopping actuation of the 1st mode in which both sides with a power supply means to perform current supply to a predetermined circuit except said refresh control means and an own power supply means are operated, and said refresh control means It responds to the mode chosen from the 3rd modes in which actuation of both sides of the 2nd mode in which said power supply means is operated, said refresh control means, and said power supply means is stopped. A control circuit given in which term of claims 9–14 characterized by operating said refresh control means and said power supply means, or stopping the actuation.

[Claim 16] A control circuit according to claim 15 characterized by answering that there was a write request of data beforehand decided for every mode to the predetermined address, and setting up the mode.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor memory which operates by the same specification as SRAM (static RAM), when the memory cell array consists of same memory cells as DRAM (dynamic random access memory) and it sees from the outside of a semiconductor memory. This invention relates to SRAM which the write-in enable signal which determines the write-in timing to a memory cell writes in, and is given in asynchronous to the address, and a semiconductor memory with compatibility especially.

[0002]

[Description of the Prior Art] As a possible semiconductor memory of random access, SRAM and DRAM are the most typical. In comparison with DRAM, if only it supplies a power supply to a top high-speed generally and inputs the address, change of the address can be caught, an internal sequential circuit can operate, and SRAM can perform read-out and writing. Thus, since SRAM operates only by giving a simple input signal wave compared with DRAM, it can also simplify the configuration of the circuit which generates such an input signal wave.

[0003] Moreover, since it does not need refresh, it has the advantage in which the data-hold current in a standby condition is small, while the handling is easy for SRAM, since the refresh for continuing holding the data memorized by the memory cell like DRAM is unnecessary. There is also such a thing and SRAM is widely used for various uses. However, since SRAM generally needs six transistors per one memory cell, it has the demerit in which a chip size surely cannot but become large compared with DRAM, and a price cannot but become high compared with DRAM.

[0004] On the other hand, DRAM gives a line address and the train address independently in 2 steps as the address, and since needing a RAS (row-address strobe) signal and a CAS (column address strobe) signal as a signal which specifies the incorporation timing of these addresses, and the control circuit for refreshing a memory cell periodically are needed, it will be complicated [timing control] compared with SRAM.

[0005] Moreover, since refresh of a memory cell is needed also when there is no access from the outside, DRAM also has the problem that the consumed electric current will become large. But since the memory cell of DRAM can be constituted from one capacitor and one transistor, it is comparatively easy to attain large capacity-ization with a small chip size. Therefore, if the semiconductor memory of the same storage capacity is constituted, the DRAM will become cheap rather than SRAM.

[0006] By the way, as a semiconductor memory which the pocket device represented by the cellular phone etc. has adopted, SRAM is in use an old place. Since that so mass a semiconductor memory was not needed since only the function for an old cellular phone with this easy was carried, SRAM's being easy to treat in respect of timing control etc. compared with DRAM, and SRAM are small and standby current is a low power, it is the reason to have turned to the cellular phone which wants to develop continuation duration of a call and the waiting receptacle time amount for continuation as much as possible etc.

[0007] However, the place here, the cellular phone which carried very abundant functions has appeared, and the function to acquire town news, such as a transceiver function of an electronic mail and a restaurant which accesses various kinds of sites and is in the neighborhood, is also realized. It does not come to accept it, but very much, the WEB server on the Internet is accessed in the latest cellular phone,

a function which simplifies and displays the content of the homepage is also carried, and it is also assumed that it can access now freely to the homepage on the Internet etc. like a current desktop mold personal computer in the future.

[0008] In order to realize such a function, the graphical display for offering multimedia information useless only by performing the simple text display like the conventional cellular phone and various to a user becomes indispensable. It will be necessary to store temporarily the data of the large quantity received from the public network etc. on the semiconductor memory in a cellular phone at it. That is, it is thought that it is an indispensable condition that it is large capacity like DRAM as a semiconductor memory carried in a future pocket device. And since it is conditions absolutely that it is small and lightweight, even if a pocket device large-capacity-izes a semiconductor memory, that the device itself weight[enlargement and]-izes must avoid it.

[0009] As mentioned above, although SRAM is desirable when the simplicity and power consumption of treatment are considered as a semiconductor memory carried in a pocket device, DRAM will be desirable if it carries out from a viewpoint of large-capacity-izing. That is, it can be said that the semiconductor memory which took in the advantage of SRAM and DRAM, respectively is the the best for a future pocket device. Using the memory cell same as this kind of a semiconductor memory as what is adopted as DRAM, when it sees from the outside, what is called false [with the almost same specification as SRAM / "false / SRAM /"] is already considered.

[0010] false [SRAM] -- DRAM -- like -- the address -- a line address and the train address -- dividing -- separate -- it is not necessary to give -- moreover -- therefore, RAS and a timing signal like CAS are not needed, either. In false [SRAM], the chip enable signal equivalent to the clock of the semiconductor memory of a clock synchronous type is made into a trigger that what is necessary is just to give the address at once like general-purpose SRAM, the address is incorporated inside, and read-out/writing is performed.

[0011] But false [SRAM] does not restrict having general-purpose SRAM and perfect compatibility, but the many possess the terminal for refresh control for controlling refresh of a memory cell from the outside, and must control refresh by the exterior false [SRAM]. For this reason, false [SRAM / many of] have the defect that treatment is not easy when compared with SRAM, and the excessive circuit for refresh control is needed. False [it was made to operate by the completely same specification as general-purpose SRAM from such a thing as does not need to control refresh by the exterior false / SRAM / so that it might introduce to below / SRAM] has been considered. However, there are various defects so that it may state to false [this kind of / SRAM] below.

[0012]

[Problem(s) to be Solved by the Invention] First, the semiconductor memory indicated by JP,61-5495,A and JP,62-188096,A as 1st conventional example is mentioned. The former semiconductor memory has the refresh timer for clocking a refresh gap inside, when the time amount equivalent to a refresh gap passes, after generating a refresh start demand and completing the amplification actuation of a bit line pair in read-out actuation, activates the word line corresponding to a refresh address, and is performing self refresh. Even if it does not control refresh of a memory cell by carrying out like this from the exterior of a semiconductor memory, he is trying to end with it.

[0013] Moreover, the latter semiconductor memory indicates the details configuration concretely about the timing-control circuit of operation for realizing the former semiconductor memory, and is the same as the former semiconductor memory fundamentally. Next, the semiconductor memory indicated by JP,6-36557,A as 2nd conventional example is mentioned. This semiconductor memory also equips the interior with the timer for refresh, and when predetermined refresh time amount passes, after generating a refresh start demand and completing read-out, it is made to perform self refresh.

[0014] However, in the 1st conventional example or the 2nd conventional example, it is not taken into consideration at all to what kind of timing the write-in enable signal which writes in and determines timing is given, but it may produce the following problems. That is, when it is going to operate false [SRAM] by the same specification as general-purpose SRAM, a write-in enable signal will be given to asynchronous to

change of the address. Moreover, the self refresh by refresh start demand is also generated in asynchronous to change of the address. For this reason, if self refresh has already started when a write-in enable signal is inputted later than a refresh start demand, for example, it comes into effect in the second half portion of a memory cycle, and it is not after this self refresh is completed, it cannot write in.

[0015] However, when it does so, the writing performed after self refresh will be long overdue. It is necessary to make it give priority to writing over self refresh to avoid such a situation. However, if it does so, when writing continues and it generates after a refresh start demand occurs, room for self refresh to enter may be lost, and self refresh may become impossible as a matter of fact.

[0016] Moreover, in the 1st conventional example or the 2nd conventional example, when a skew is contained to the address, there is also a problem that access will be overdue. That is, when a skew exists in the address, it is surely necessary to delay selection actuation of a word line by the skew. Since the memory cell of DRAM which false [SRAM] has adopted is generally destructive reading, when a certain word line is activated and it reads with a sense amplifier, it is because it is necessary to return the data memorized from the first by all the memory cells connected to this word line to these memory cells from the sense amplifier concerned.

[0017] For this reason, to the reason for switching a word line on the way, it does not die until the re-writing corresponding to this will be completed, once it starts read-out. However, since it is equivalent to the value of the address having changed when a skew is contained to the address, the word line activated as a result will be switched. For this reason, two or more word lines will be activated simultaneously, reading appearance of the data of a memory cell connected to these word lines will be carried out on the same bit line, and the data of a memory cell will be destroyed.

[0018] In order to prevent such a situation, it is necessary to delay activating a word line by the skew contained to the address as mentioned above. for this reason, if reading appearance is carried out and it refreshes behind, when especially a skew is large, only the part which delayed selection actuation of a word line for the skew will be also in the beginning of refresh, and also reading appearance will be carried out after refresh and actuation etc. will be overdue.

[0019] Next, the semiconductor memory indicated by JP,4-243087,A as 3rd conventional example is mentioned. He is trying to form a timer in the exterior false [SRAM] in this conventional example, without giving a refresh timer to the false SRAM itself. And when the first access request is after refresh time amount passed, OE (enable [output]) signal is made in the exterior false [SRAM], and after refreshing according to this OE signal, it is made to perform read-out or the writing corresponding to the access request concerned.

[0020] However, with a configuration like this 3rd conventional example, power consumption becomes large too much and there is a problem of being inapplicable in low-power products, such as a cellular phone on condition of the prolonged activity by battery actuation. That is, in the 3rd conventional example, when a chip enable (CE) signal becomes effective, false [SRAM] latches the address inputted from the outside, and operates. That is, in the 3rd conventional example, since it is necessary to change a chip enable signal whenever it accesses to false [SRAM], power consumption will become large according to the charge and discharge current of the bus of the chip enable signal wired on the mounting substrate.

[0021] In addition, the semiconductor memory currently indicated by the patent No. 2529680 official report (JP,63-206994,A) as 4th conventional example is mentioned. In this conventional example, the same configuration as false [which controlled refresh from the exterior / conventional / SRAM] is indicated, and also the configuration which added amelioration further is shown, diverting a configuration false [this / SRAM].

[0022] With the former configuration, after performing self refresh according to the refresh address which generated the address change detecting signal in response to the fact that the output enable signal became effective, and was generated inside false SRAM, when an output enable signal becomes an invalid, an address change detecting signal is generated again, and it is refreshing also about the external address given from the false SRAM outside. However, if an output enable signal occurs periodically for every refresh gap, originally refresh of the latter for the external address will not be the need, and only the part

currently refreshed about the external address will have consumed power vainly.

[0023] On the other hand, with the latter configuration, after catching change of the external address, generating an address change detecting signal, and refreshing to the refresh address generated inside false SRAM ignited by this address change detecting signal and fixed time amount's passing, an address change detecting signal is generated again and it is made to perform usual read-out and writing for the external address. However, with such a configuration, when a skew is contained to the external address, a problem will be produced.

[0024] That is, when the skew is contained to the external address, in order to change to the timing from which each bit of the address differs mutually, address change is detected about each timing and two or more address change detecting signals are generated. For this reason, though it is good to start refresh by the first address change detecting signal, originally the usual access to the external address which should be performed after completion of refresh will be started by the address change detecting signal of the 2nd henceforth. That is, in spite of being under refresh in this case, it will succeed in the access request to the external address. For this reason, two or more word lines will be simultaneously activated as well as having pointed out by explanation of the 1st conventional example or the 2nd conventional example, and since reading appearance of the data of a memory cell connected to these word lines will be carried out on the same bit line, the data of a memory cell will be destroyed.

[0025] There are the following problems in false [existing / SRAM] besides above. That is, in general-purpose SRAM, the standby mode which suspends supply of the power supply over an internal circuit, and makes power consumption very small is prepared in many cases. However, false [SRAM] always needs refresh, in order to hold the data memorized by the memory cell, since the memory cell itself is the same as DRAM. For this reason, by false [conventional / SRAM], especially a standby mode that is adopted as general-purpose SRAM is not prepared, saying that it operates like SRAM.

[0026] However, if it operates false [SRAM] at all by the same specification as general-purpose SRAM, it is desirable to prepare low-power mode equivalent to the standby mode of general-purpose SRAM, considering the field of user-friendliness. Moreover, consideration of the remarkable improvement in functional of these days in a cellular phone etc. expects that false [SRAM] is applied to various uses from now on.

[0027] For this reason, naturally becoming imperfection is expected only by control that it can only be set as a standby condition like general-purpose SRAM. Therefore, it is necessary to prefetch and offer the standby mode original with false [SRAM] which is not in the existing general-purpose SRAM etc. If the power consumption in a standby condition is gradually controllable finely according to a user's needs and application, to be very useful will be considered by it.

[0028] Moreover, in a commodity-grade DRAM, since refresh is set as the natural premise, the concept itself called standby does not exist, but though the request of a low power is natural also in a commodity-grade DRAM, it exists. Therefore, the concept of a standby mode is taken in also to a commodity-grade DRAM, and if low-power-ization is attained by controlling the power consumption in a standby condition finely according to a user's needs and application, it will be thought that there is a merit of being able to reclaim the new applicable field of a commodity-grade DRAM.

[0029] This invention is made in view of the above-mentioned point. The object The problem refresh becomes impossible by continuation of writing [**** / that the usual access is influenced by refresh] is not produced. Moreover, the nonconformity of being as a memory cell being destroyed ****. [, and] is not produced. [that access delay arises also when a skew is contained to the address] and -- even if it operates and large-capacity-izes by general-purpose SRAM specification -- a chip size -- small -- a low power -- it is -- in addition -- and it is in offering a cheap semiconductor memory. Moreover, the object of this invention is to offer the semiconductor memory which had the peculiar low-power mode which is not seen in a standby mode and the existing semiconductor memory equivalent to being adopted by general-purpose SRAM. In addition, about the object of this invention except having stated here, it becomes clear from explanation of the operation gestalt mentioned later.

[0030]

[Means for Solving the Problem] In order to solve the above technical problem, invention according to claim 1 In a semiconductor memory equipped with two or more memory cells which need refresh When whether each circuit in equipment which is needed for said refresh is operated in a standby condition changes into said standby condition according to the mode chosen from two or more kinds of modes specified for every circuit It is characterized by providing a motion-control means to operate each circuit in equipment which is needed for said refresh, or to stop those actuation. Moreover, a memory cell array by which invention according to claim 2 is constituted from said two or more memory cells in invention according to claim 1 It is divided into two or more memory cell area controlled independently whether said refresh is performed when it changes into said standby condition. Said motion-control means It is characterized by operating each of said memory plate or stopping the actuation according to said mode set up, respectively for every memory plate which consists of a circumference circuit which is needed for refresh of said memory cell area and this memory cell area.

[0031] Invention according to claim 3 is set to invention according to claim 2. Moreover, each of said memory plate Said memory cell area which constitutes this memory plate, and said circumference circuit are further equipped with a power supply means to perform current supply. Said motion-control means It is characterized by operating said power supply means established for said every memory plate according to said mode set up for said every memory plate, or stopping the actuation. Moreover, it has a power supply means shared among said two or more memory plates in order that invention according to claim 4 might perform current supply to said two or more memory plates in invention according to claim 2. Said motion-control means is characterized by providing two or more switching means which control whether a power supply is supplied to each of said memory plate from said power supply means for said every memory plate according to said mode set up for said every memory plate.

[0032] Moreover, invention according to claim 5 is characterized by answering an input mode signal and providing a program means for setting up said mode for said every memory plate in invention given in which term of claims 2–4. Moreover, invention according to claim 6 is characterized by said program means setting up the mode which specified a memory plate equipped with memory cell area corresponding to this address based on the inputted address, and was specified by said input mode signal as the mode to a this specified memory plate in invention according to claim 5.

[0033] Moreover, each circuit in equipment with which invention according to claim 7 is needed for said refresh in invention given in which term of claims 1–6 When it has a refresh control means which controls said refresh, and a power supply means to perform current supply to a predetermined circuit except said refresh control means and an own power supply means and said motion-control means changes into said standby condition While stopping actuation of the 1st mode in which both sides of said refresh control means and said power supply means are operated, and said refresh control means It responds to the mode chosen from the 3rd modes in which actuation of both sides of the 2nd mode in which said power supply means is operated, said refresh control means, and said power supply means is stopped. It is characterized by operating said refresh control means and said power supply means, or stopping the actuation.

[0034] Moreover, invention according to claim 8 is characterized by answering that said motion-control means had the write request of data beforehand decided for every mode to the predetermined address, and setting up the mode in invention according to claim 7.

[0035] Moreover, invention according to claim 9 is a control circuit which controls actuation of each circuit which is needed for refresh of a memory cell. When whether said each circuit is operated in a standby condition changes into said standby condition according to the mode chosen from two or more kinds of modes specified for every circuit It is characterized by operating each circuit which is needed for said refresh, or stopping those actuation. Moreover, invention according to claim 10 is characterized by operating each of said memory plate or stopping the actuation according to said mode set up for every memory plate which it becomes whether said refresh is performed from a circumference circuit which is needed for refresh of memory cell area controlled independently and this memory cell area, when it changes into said standby condition in invention according to claim 9.

[0036] Moreover, invention according to claim 11 is characterized by operating a power supply means

established for said every memory plate according to said mode set up for said every memory plate, in order to perform current supply in said memory cell area and said circumference circuit, or stopping the actuation in invention according to claim 10. Moreover, in invention according to claim 10, according to said mode set up for said every memory plate, invention according to claim 12 is characterized by providing two or more switching means which control whether a power supply is supplied to each of said memory plate from a power supply means shared among said two or more memory plates, in order to perform current supply to said two or more memory plates.

[0037] Moreover, invention according to claim 13 is characterized by answering an input mode signal and providing a program means for setting up said mode for said every memory plate in invention given in which term of claims 10–12. Moreover, invention according to claim 14 is characterized by said program means setting up the mode which specified a memory plate equipped with memory cell area corresponding to this address based on the inputted address, and was specified by said input mode signal as the mode to a this specified memory plate in invention according to claim 13.

[0038] Moreover, invention according to claim 15 is set to invention given in which term of claims 9–14. A refresh control means which controls said refresh when it changes into said standby condition, While stopping actuation of the 1st mode in which both sides with a power supply means to perform current supply to a predetermined circuit except said refresh control means and an own power supply means are operated, and said refresh control means It responds to the mode chosen from the 3rd modes in which actuation of both sides of the 2nd mode in which said power supply means is operated, said refresh control means, and said power supply means is stopped. It is characterized by operating said refresh control means and said power supply means, or stopping the actuation. Moreover, invention according to claim 16 is characterized by answering that there was a write request of data beforehand decided for every mode to the predetermined address, and setting up the mode in invention according to claim 15.

[0039]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to a drawing. However, this invention is not limited to the operation gestalt described below, and may combine components [in / these operation gestalt] suitably.

[0040] The [1st operation gestalt] Drawing 1 is the block diagram showing the configuration of the semiconductor memory by this operation gestalt. In this drawing, Address Address is the access address supplied from the outside of a semiconductor memory. Corresponding to the memory cell array mentioned later being arranged in the shape of a matrix, Address Address includes a line address and the train address. An address buffer 1 buffers and outputs this address Address.

[0041] Latch 2 outputs the address currently supplied from the address buffer 1 as internal address L_ADD as it is, while the latch control signal LC is "L" level (when it is got blocked and the latch control signal LC falls, until it starts from from a degree). Moreover, he outputs the address currently held as internal address L_ADD while latch 2 incorporates the address currently supplied from the address buffer 1 in the standup of the latch control signal LC, and the latch control signal LC is "H" level and he holds this.

[0042] When a chip select signal/CS is effective ("L" level), the ATD (Address Transition Detector; address change detection) circuit 3 will output the pulse signal of single shot to the address change detecting signal ATD, if at least 1 bit of internal address L_ADD has change. Moreover, the ATD circuit 3 makes the address change detecting signal ATD generate a single shot pulse, also when a chip select signal/CS is validated. In addition, a chip select signal/CS is selection signals validated when accessing the semiconductor memory shown in drawing 1. Moreover, the mark "/" given to the head of a signal name means that it is the signal of negative logic.

[0043] Here, a chip select signal/CS is explained further in full detail. A chip select signal/CS is the signals for determining selection / un-choosing, and is an activation signal used in order to choose a desired semiconductor memory in the system which consists of two or more semiconductor memories especially, [of a semiconductor memory (chip)] Although a chip select signal is used in the following explanation as an activation signal which opts for selection / un-choosing, as long as it is the signal which an usable activation signal is not restricted to a chip select signal by this invention, and had a function equivalent to

this, you may be what kind of signal. [of a chip]

[0044] For this reason, it is possible to replace with a chip select signal, for example, to use a chip enable signal. However, there are some so-called chip enable signals which have an address latch timing-control function in addition to the activation function of a chip like a chip enable signal false [existing / SRAM]. That is, since the ** cycle input of the chip enable signal is carried out like a clock signal in order to control the timing of address incorporation by false [existing / SRAM] as stated even in the place of [Problem(s) to be Solved by the Invention], the increment in the power consumption by it poses a problem.

[0045] On the other hand, the semiconductor memory of this invention is characterized [one] by the ability to operate, even if it does not carry out the ** cycle input of the signal used as the trigger of an interior action like a clock signal. the case where a chip enable signal is used as an activation signal by this invention from such a thing -- the activation function of a chip -- having -- in addition -- and a signal without an address latch timing-control function will be used.

[0046] The refresh control circuit 4 builds in the address counter (refresh counter) and the refresh timer. The refresh control circuit 4 is controlling the refresh inside a semiconductor memory using these, the address change detecting signal ATD, a write-in enable signal / WE, a refresh address and refresh timing were automatically generated inside the semiconductor memory, and the same refresh actuation as the self refresh in general-purpose DRAM is realized. Here, an address counter carries out sequential generation of refresh address R_ADD for refreshing a DRAM memory cell. In addition, refresh address R_ADD has the same bit width of face as the line address contained to Address Address.

[0047] Moreover, a refresh timer is for starting self refresh inside a semiconductor memory, when the elapsed time from the event of an access request being in the last from the exterior of a semiconductor memory is clocked and the elapsed time exceeds predetermined refresh time amount. Therefore, a refresh timer is constituted so that it may be reset whenever the address change detecting signal ATD becomes effective, and a time check may be resumed.

[0048] In addition, the refresh control circuit 4 generates the refresh control signals REFA and REFB for controlling refresh timing. In addition, about the semantics of these refresh control signal, it shall mention later with reference to drawing 2, and clarifies by explanation of operation about the detailed timing of these refresh control signal.

[0049] According to the level of the refresh control signal REFB which it address-change-detecting-signal-ATD(s), and is mentioned later, the address change detecting signal ATD chooses the line address (since it is complicated, it may only be called "internal address L_ADD") contained in internal address L_ADD if "L" level and the refresh control signal REFB are "H" level, and a multiplexer 5 (inside of drawing "MUX") outputs this as address M_ADD. On the other hand, if the address change detecting signal ATD is "H" level or the refresh control signal REFB is "L" level, a multiplexer 5 will choose refresh address R_ADD and will output it as address M_ADD.

[0050] Next, the memory cell array 6 is memory cell array same with being used by general-purpose DRAM, and a word line and a bit line (or a bit line pair; it is below the same) are running in the line writing direction and the direction of a train, respectively, the memory cell which consists of the 1 transistor 1 same capacitor as general-purpose DRAM is arranged in the shape of a matrix in the location of the intersection of a word line and a bit line, and it is constituted.

[0051] The low decoder 7 decodes address M_ADD, when the low enable signal RE is "H" level, and it activates the word line specified by this address M_ADD. In addition, when the low enable signal RE is "L" level, the low decoder 7 does not activate any word line.

[0052] The column decoder 8 decodes the train address included in internal address L_ADD, when column enable signal CE serves as "H" level, and it generates the column selection signal for choosing the bit line specified by this internal address L_ADD. In addition, when column enable signal CE is "L" level, the column decoder 8 does not generate the column selection signal corresponding to which bit line, either.

[0053] The sense amplifier reset circuit 9 consists of a sense amplifier which omitted the graphic display, a column switch, and a precharge circuit. Among these, a column switch connects between the sense amplifiers and Buses WRB which were specified with the column selection signal which the column decoder

8 outputs. A sense amplifier writes the write-in data which was activated when sense amplifier enable signal SE was "H" level, sensed and amplified the bit line potential to which the memory cell specified in Address Address was connected, and outputted to Bus WRB, or was supplied to Bus WRB in a memory cell via a bit line. It is activated when precharge enable signal PE is "H" level, and a precharge circuit precharges the potential of a bit line to predetermined potential (for example, 1/2 of power supply potential).

[0054] According to the level of a control signal CWO, if this signal is "H" level, the I/O (I/O) buffer 10 will buffer the read-out data on Bus WRB by the output buffer, and will output it to the exterior of a semiconductor memory from bus I/O. Moreover, if this signal is "L" level, I/O buffer 10 buffers the write-in data supplied to bus I/O from the semiconductor-memory exterior by making an output buffer into floating by the input buffer, and sends it out to Bus WRB. That is, it will read, if a control signal CWO is "H" level, and it is writing if it is "L" level.

[0055] Next, the R/W (Read/Write) control circuit 11 generates a control signal CWO based on a chip select signal/CS, a write-in enable signal / WE, and the output enable signal OE. Here, by the specification of the semiconductor memory by this invention, the writing (incorporation) of data begins by the write-in enable signal / falling edge of WE, data is decided by the write-in enable signal / rising edge of WE, and writing (incorporation) is completed. In addition, the change over timing of a control signal CWO is yielded to explanation of operation.

[0056] The latch control circuit 12 generates the latch control signal LC which determines the latch timing of Address Address and which was mentioned above based on the address change detecting signal ATD and column enable signal CE. The low control circuit 13 generates low enable signal RE, sense amplifier enable signal SE, precharge enable signal PE, and a control signal CC based on the refresh control signal REFA, the refresh control signal REFB, the address change detecting signal ATD and a write-in enable signal / WE. The column control circuit 14 generates column enable signal CE based on this control signal CC.

[0057] The boost power supply 15 is a power supply which supplies the pressure-up potential impressed to the word line in the memory cell array 6 to the low decoder 7. Moreover, the substrate voltage generating circuit 16 is a circuit which generates the substrate voltage impressed to the well or semiconductor substrate with which each memory cell of the memory cell array 6 was formed. Furthermore, the reference voltage generating circuit 17 generates the reference voltage (for example, 1/2=1/2Vcc of power supply potential) which the sense amplifier in the memory cell array 6 and the sense amplifier reset circuit 9, and a precharge circuit and an equalizing circuit use. The use of this reference voltage has how in use to use ** which is mainly a degree and which does not prepare a dummy cell current, although there are three kinds (**-**).

[0058] ** Reference voltage impressed to the counter electrode of the capacitor which constitutes the memory cell (1/2Vcc).

** Reference potential at the time of a sense amplifier judging in any of "0"/"1" the maintenance data of a memory cell is from the potential by which reading appearance was carried out on one bit line of a bit line pair from the memory cell, and the potential (1/2Vcc) by which reading appearance was carried out on the bit line of another side from the dummy cell, when preparing a dummy cell.

** Reference voltage used as precharge equalizing voltage of a bit line pair when not preparing a dummy cell. In this case, in one bit line, the read-out voltage from a memory cell appears, and the bit line of another side is set as precharge voltage (1/2Vcc) just before initiation of sense actuation.

[0059] Here, the power down control signal PowerDown is supplied to the refresh control circuit 4, the boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17. This power down control signal PowerDown is a signal which specifies the mode when making a semiconductor memory into a powered down state (standby condition) from the outside of a semiconductor memory. He is trying for the refresh control circuit 4, the boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17 to control the current supply to self according to the power down control signal PowerDown, respectively to mention later.

[0060] With this operation gestalt, since the memory cell itself is the same as DRAM, in a standby condition, current supply to each part of a circuit in a semiconductor memory cannot be simply stopped like SRAM. Even if it is in a standby condition, in order to hold the data of a memory cell, it is necessary to continue supplying a power supply to the circuit which is needed for refresh actuation. That is, the semiconductor memory of this operation gestalt cannot take compatibility with SRAM thoroughly about a standby condition. However, that much, with this operation gestalt, while forming some modes in a standby condition and taking compatibility with SRAM as much as possible, the mode which does not exist is also formed in the existing semiconductor memory.

[0061] That is, with this operation gestalt, three kinds of standby modes are prepared according to any of the refresh control circuit 4, the boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuits 17 are operated. On these descriptions, these standby modes will be called for convenience standby modes 1-3. The mode in which only the refresh control circuit 4 can stop current supply, and supplies a power supply to three kinds of circuits of an except, and the standby mode 3 of the mode in which a standby mode 1 supplies a power supply to four kinds of all circuits, and a standby mode 2 are the modes which stop the current supply to four kinds of all circuits among four kinds of circuits.

[0062] In addition, what is necessary is just to constitute from the 1st current supply line for supplying a power supply to the refresh control circuit 4, and the 2nd current supply line for supplying a power supply to the boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17 as a circuit for supplying the power down control signal PowerDown, since it is above.

[0063] Next, when each standby mode is explained further in full detail, a standby mode 1 is current supply mode equivalent to the usual DRAM, and its consumed electric current is the largest in the standby mode which has three kinds. However, the power supply remains supplied to all circuits required for self refresh of a memory cell in this case. For this reason, the data of a memory cell just before shifting to a standby condition is held, and also time amount until it makes a semiconductor memory shift to an active state from a standby condition is the shortest of three kinds of the standby modes. In addition, what is necessary is just to supply a power supply to the both sides of the 1st current supply line and the 2nd current supply line, for setting it as a standby mode 1.

[0064] On the other hand, in a standby mode 2, a power supply is not supplied to the circuit needed for self refresh. For this reason, although the data of a memory cell cannot be held in a standby condition, the consumed electric current can be reduced compared with that part standby mode 1. that is, the condition that it can write in to the whole memory cell array after this standby mode's aiming at changeover of the way of thinking from the preconceived idea of holding data in the state of standby and shifting to an active state from a standby condition -- even becoming -- it is premised on what is necessary being just to be. Therefore, when it returns to an active state, the data of the memory cell at the time of shifting to a standby condition is not held. Such a thing to the standby mode 2 and the standby mode 3 described below are the modes for which it was suitable when a semiconductor memory was used as a buffer. In addition, in order to set it as a standby mode 2, it is made to stop the current supply to the refresh control circuit 4, as a power supply is not supplied to the 1st current supply line.

[0065] On the other hand, although time amount until it shifts to an active state from a standby condition becomes the longest in the standby mode which has three kinds since a standby mode 3 needs to start boosted voltage, substrate voltage, and reference voltage, the consumed electric current in the part and a standby mode can be made the smallest. In addition, what is necessary is to supply a power supply only to a required circuit about circuits other than four kind which was mentioned above in the case of which [of standby modes 1-3]. For example, as long as it only performs self refresh, since an address buffer 1, latch 2, the ATD circuit 3, the column decoder 8, I/O buffer 10, the R/W control circuit 11, the latch control circuit 12, and column control circuit 14 grade are not used, they may suspend current supply. In addition, in order to set it as a standby mode 3, it is made to stop all the current supply to the refresh control circuit 4, the boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17, as a power supply is supplied to neither the 1st current supply line nor the 2nd

current supply line.

[0066] According to the device by which a semiconductor memory is applied, its operating environment, etc., the necessity of the data-hold in a standby condition, the recovery time to an active state, current consumption, etc. can be finely controlled now by preparing the above standby modes from the semiconductor-memory outside. In addition, since it is not necessarily an indispensable function, the power down control signal PowerDown may omit this, and it becomes possible [keeping perfect the compatibility of general-purpose SRAM and an I/O pin by doing so].

[0067] Next, the details circuitry of the ATD circuit 3 shown in drawing 1 with reference to drawing 2, the latch control circuit 12, the low control circuit 13, and the column control circuit 14 is explained. In addition, the same sign is attached about the same component as what was shown in drawing 1 in drawing 2, and the signal name.

[0068] If the ATD circuit 3 is explained first, an inverter 31 will reverse a chip select signal/CS, and will generate chip select signal CS. An inverter 32, the delay circuit 33, and NAND gate (NAND) 34 generate a negative single shot pulse with the same width of face as the time delay given in an inverter 32 and the delay circuit 33 from the standup of chip select signal CS.

[0069] Next, internal address L_ADDi is specific 1 bit of internal address L_ADD shown in drawing 1. NAND gate 35 supplies internal address L_ADDi to the circuit which consists of an inverter 37, the delay circuit 38, and NAND gate 39 through an inverter 36, when chip select signal CS is effective. This generates a negative single shot pulse with the same width of face as the time delay given in an inverter 37 and the delay circuit 38 from the standup of internal address L_ADDi. Similarly, the circuit which consists of an inverter 40, the delay circuit 41, and NAND gate 42 generates a negative single shot pulse with the same width of face as the time delay given in an inverter 40 and the delay circuit 41 from falling of internal address L_ADDi.

[0070] NAND gate 43 and an inverter 44 output the positive single shot pulse which compounds the single shot pulse generated by any [the standup of chip select signal CS, the standup of internal address L_ADDi, or] of falling they are, and is acquired. The delay circuit 45, the NOR (NOR) gate 46, and an inverter 47 are for extending only the time delay to which the pulse width of each single shot pulse outputted from an inverter 44 is given in the delay circuit 45. Then, the above circuit blocks are established by the number of bits of internal address L_ADD. Or the (OR) gate 48 compounds the single shot pulse generated about all the bits of internal address L_ADDi, and outputs this as an address change detecting signal ATD.

[0071] Thus, while generating a single shot pulse from change of each bit of internal address L_ADDi, respectively, he takes the OR of these single shot pulse, and is trying to compound with this operation gestalt. Thus, it is based on the following reasons that it is. Now, temporarily, if it is made to make the address change detecting signal ATD generate a single shot pulse whenever which bit of Address Address changes, when the skew is contained to Address Address, two or more address change detecting signals will be generated.

[0072] If it does so, as explained even in the place of [Problem(s) to be Solved by the Invention], two or more word lines will be simultaneously activated by these address change detecting signal ATD. For this reason, since writing is performed to two or more memory cells, or read-out from two or more memory cells is performed simultaneously and it is re-written in, the data of a memory cell will be destroyed as a result.

[0073] Then, he is trying to compound the as newly as the single shot pulse already generated [when the bit of others / during / the period when the single shot pulse was first generated at about the bit which was changeful first among each / of Address Address / bit with this operation gestalt, and the single shot pulse of this beginning has occurred / has change] generated single shot pulse. It is lost that remain for the pulse width of a single shot pulse to become long by the skew contained to Address Address even if the skew is contained to Address Address, and two or more single shot pulses by address change of one batch occur by carrying out like this. For this reason, a possibility that the above problems of destruction of the data of a memory cell may arise also disappears.

[0074] In addition, what is necessary is just to determine the time delay of the delay circuits 33, 38, 41, and

45 etc. so that the skew contained to Address Address may fall within the range of the pulse width of the address change detecting signal ATD as conditions for making it above. Incidentally, when a skew is large, it is necessary to make large pulse width of the single shot pulse to generate so much. For this reason, we are anxious about it being overdue by the skew that the address change detecting signal ATD falls, and access time becoming large. However, on the specification of general-purpose SRAM, since access time is a value on the basis of the event of Address Address being decided, if the access time from the bit which changed at the end among each bit of Address Address is guaranteed, and it is clear and is, it will not serve as delay of operation.

[0075] Moreover, since refresh is performed while the single shot pulse of the address change detecting signal ATD has occurred as later mentioned in the case of explanation of operation, as for the pulse width of this single shot signal, it is desirable to set up beyond time amount required for making refresh of a 1-word segment complete. Therefore, what is necessary is just to determine that the time delay of the delay circuits 33, 38, 41, and 45 will also satisfy the conditions which took refresh into consideration in addition to the conditions in consideration of the skew mentioned above. Moreover, if the single shot pulse of the address change detecting signal ATD is brought down immediately after completing refresh, it will continue at it and access of read-out/writing to Address Address will be made.

[0076] Next, if the low control circuit 13 is explained, an inverter 30 will reverse the address change detecting signal ATD, and will generate an address change detecting signal / ATD. Moreover, the circuit which consists of the delay circuit 49, NOR gate 50, an inverter 51, the delay circuit 52, NAND gate 53, and NAND gate 54 is a circuit for generating low enable signal RE which is needed for access demanded from the semiconductor-memory outside, sense amplifier enable signal SE, column enable signal CE, precharge enable signal PE, and the latch control signal LC based on a write-in enable signal / WE, or the address change detecting signal ATD.

[0077] Among these, even if the delay circuit 49, NOR gate 50, and the circuit that consists of an inverter 51 are the cases where wrote in before setting the address change detecting signal ATD to "H" level by change of internal address L_ADDi, or a chip select signal/CS, and an enable signal/WE is set to "L" level, it is for making it there be no nonconformity a pulse carries out [nonconformity] sequential generating in low enable signal RE, sense amplifier enable signal SE, column enable signal CE, precharge enable signal PE, and the latch control signal LC.

[0078] For that purpose, after the address change detecting signal ATD starts and "L" level is supplied to NAND gate 54 from an inverter 30, a write-in enable signal / WE should just be made to be supplied to NAND gate 54 through NOR gate 50, an inverter 51, and NAND gate 53. Then, while writing in with the signal which delayed a write-in enable signal / WE in the delay circuit 49 and carrying out the OR of the enable signal / the WE itself with NOR gate 50 and an inverter 51, it wrote in the degree to which the time delay of the delay circuit 49 is adjusted, and the above-mentioned nonconformity does not happen, and an enable signal / falling of WE is delayed. In addition, since the output of an inverter 51 also starts corresponding to a write-in enable signal / standup of WE, when a write-in enable signal / WE is set to "H" level, shifting to a reset action promptly is possible in the above-mentioned circuit.

[0079] Next, the circuit which consists of a delay circuit 52, NAND gate 53, and NAND gate 54 makes the low enable signal RE generate a single shot pulse from the falling edge of the address change detecting signal ATD (that is, when for a write-in enable signal / WE to be "H" level and for "H" level to be supplied to NAND gate 53 from an inverter 51), when it is not writing. Moreover, this circuit is serving to maintain low enable signal RE, sense amplifier enable signal SE, column enable signal CE, precharge enable signal PE, and the latch control signal LC on "H" level, while there is a write request, when the address change detecting signal ATD is "L" level. That is, if the address change detecting signal ATD is "L" level, "H" level will be supplied to NAND gate 53 and NAND gate 54 from an inverter 30. Therefore, if the write-in enable signal outputted from an inverter 51 at this time / WE is "L" level, the low enable signal RE will become being "H" level with as through NAND gate 53, NAND gate 54, and NAND gate 65.

[0080] And after the output of NAND gate 54 is delayed by inverters 55-58, it is outputted as a control signal CC. This control signal CC is further delayed by the inverters 59-61 which constitute the column

control circuit 14, and serves as column enable signal CE. Moreover, in the low control circuit 13, the circuit which consists of an inverter 62, a delay circuit 63, and NAND gate 64 is a circuit for generating low enable signal RE which is needed for refresh, sense amplifier enable signal SE, and precharge enable signal PE. That is, this circuit generates a negative single shot pulse with the pulse width equivalent to the time delay given in an inverter 62 and the delay circuit 63 from the standup of the address change detecting signal ATD, when the refresh control signal REFA is "H" level. And NAND gate 65 compounds the output of the refresh control signal REFB, NAND gate 54, and NAND gate 64, and outputs this as a low enable signal RE.

[0081] In addition, the refresh control signal REFA is a signal for controlling whether it refreshes along with the access request from the outside of a semiconductor memory. That is, if this signal is "H" level, the low enable signal RE will be made to generate a single shot pulse in the standup of the address change detecting signal ATD produced by the access request concerned, and refresh will be started. On the other hand, even if the single shot pulse has occurred in the address change detecting signal ATD, the low enable signal RE is not made to generate a single shot pulse, if this signal is "L" level.

[0082] Here, as refresh actuation which makes a trigger generating of the address change detecting signal ATD, this operation gestalt explains on the assumption that the following implementation gestalten. That is, with this operation gestalt, when the refresh actuation accompanying read-out or writing continues, the whole memory cell is refreshed by refreshing continuously by each [these] memory cycle. And when all the memory cells are refreshed, it considers as the condition of once not generating refresh. Then, it shifts to the condition of detecting this when the condition (cel hold limit) of the limit that the data of a memory cell can be held is approached, and refreshing continuously by the continuous memory cycle, again.

[0083] It is the case where it becomes unnecessary to perform refresh accompanying the access request from the outside since self refresh was started until [although refresh for 1 refresh cycle was completed by refresh accompanying the access request from the outside as a factor which brings down the refresh control signal REFA, when there is still time amount in starting refresh of the following refresh cycle, or] this is completed.

[0084] Here, in order to generate the refresh control signal REFA, the latch circuit holding the refresh control signal REFA is prepared in the refresh control circuit 4 interior, and the configuration which controls the set-reset of this latch circuit by the address change detecting signal ATD and the output signal of a refresh timer can be considered. It is needed (cel hold limit), and before a few, a refresh timer generates timing, and refresh actuation generates the set signal of a latch circuit inside the refresh control circuit 4 based on the output signal, sets a latch circuit, and, specifically, outputs "H" level to the refresh control signal REFA. In addition, the timing which generates a set signal follows maximum of the cycle time as a rule of thumb, and determines it. Then, the low control circuit 13 makes a trigger the address change detecting signal ATD or the refresh control signal REFB generated based on the refresh control signal REFA, and refresh actuation of a memory cell is performed per word line. And when refresh actuation of all memory cells is performed, the reset signal of a latch circuit is generated in the refresh control circuit 4 interior, a latch circuit is reset, and "L" level is outputted to the refresh control signal REFA.

[0085] In addition, what is necessary is for reset of a latch circuit to be the refresh cycle refreshed for the last word line, and just to perform it according to the time amount which refresh actuation finishes. Or when refresh actuation is made to complete, the low control circuit 13 generates the completion signal of refresh actuation, and when the refresh control circuit 4 receives this completion signal of refresh actuation by the refresh cycle to the last word line, you may make it reset a latch circuit. however, during the time of the refresh first performed after this standup being completed from in consideration of the case of drawing 7 mentioned later, when the refresh control signal REFA is started -- the address change detecting signal ATD -- generating (seeing drawing 8) -- it writes in and an enable signal/WE inputs -- having (seeing drawing 10 and drawing 11) -- if it has not carried out, a latch circuit is reset after this first refresh is completed.

[0086] On the other hand, the refresh control signal REFB is a signal for self refresh. That is, it is possible to generate a single shot pulse compulsorily to the low enable signal RE regardless of the output of NAND

gate 54 and NAND gate 64, and to start self refresh by giving a negative single shot pulse to the refresh control signal REFB.

[0087] Here, in order to generate the refresh control signal REFB, the delay circuit which delays the refresh control signal REFA, and the pulse generating circuit which generates a negative single shot pulse are established in the refresh control circuit 4 interior, and the configuration which controls the timing which generates a negative single shot pulse from a pulse generating circuit by the refresh control signal REFA delayed in the delay circuit and the address change detecting signal ATD can be considered.

[0088] Usually, the refresh control signal REFB serves as "H" level. When the refresh control signal REFA is started in this condition, and it is set to "H" level, and predetermined time delay of the standup of this refresh control signal REFA is carried out in a delay circuit and the address change detecting signal ATD does not occur between this delay, a pulse generating circuit is started in the delayed standup of the refresh control signal REFA, and a negative single shot pulse is made to output to the refresh control signal REFB.

[0089] since the trigger which generates the address change detecting signal ATD is not given from the outside, delay of the above-mentioned predetermined time will become the time amount of a limit required of refresh of a memory cell -- it is for measuring until. Moreover, when it writes in between the above-mentioned delay and an enable signal/WE is brought down so that it may mention later (see drawing 11), after writing in, in order to perform self refresh, the time amount which this writing takes is also taken into consideration, and delay of the timing which starts the above-mentioned refresh control signal REFA, and the above-mentioned predetermined time is set up.

[0090] In addition, this invention is good also as a gestalt which is not limited to the implementation gestalt of the refresh actuation mentioned above, and is refreshed for a memory cell a fixed period for every (every word line and two or more word line of every [namely,]) word line of a predetermined number. In this case, although the circuitry which generates the refresh control signal REFB may be the same as what was mentioned above, the circuitry for generating the refresh control signal REFA is as follows, for example. First, a refresh timer generates the trigger signal for starting refresh a fixed period. Next, like the above-mentioned case, a latch circuit is prepared in the refresh control circuit 4 interior, a latch circuit is set based on the trigger signal which a refresh timer outputs with the set signal for which refresh actuation is needed and which was generated to front timing for a while, and the refresh control signal REFA is made into "H" level. In addition, it is decided by carrying out maximum of the cycle time that the timing which sets a latch circuit also in this case will be a rule of thumb.

[0091] Then, according to the timing which the carrier beam low control circuit 13 makes complete refresh actuation of as opposed to a memory cell for the address change detecting signal ATD or the refresh control signal REFB, the refresh control circuit 4 resets a latch circuit by the reset signal which made it generate, and makes the refresh control signal REFA "L" level. In addition, what is necessary is just to perform reset of the latch circuit in this case to the timing which was late for from fixed time, when a latch circuit is set. Or when the low control circuit 13 makes refresh actuation complete, as the completion signal of refresh actuation is generated, a latch circuit may be reset when the refresh control circuit 4 receives this completion signal of refresh actuation. Incidentally, with this gestalt, after the refresh actuation which makes the address change detecting signal ATD a trigger is completed, the refresh control signal REFA comes to fall by each memory cycle. The signal wave form of this refresh control signal REFA becomes the same thing as the signal wave form at the time of the refresh cycle shown in drawing 4.

[0092] Next, inverters 66-69 delay the low enable signal RE, and generate sense amplifier enable signal SE. Moreover, inverters 70 and 71 generate the negative single shot pulse which delayed the low enable signal RE by five steps of inverters by delaying the output of an inverter 68 further. The circuit which consists of an inverter 72, the delay circuit 73, NAND gate 74, and an inverter 75 generates a single shot pulse with the pulse width for the time delay given in an inverter 72 and the delay circuit 73 from the standup of a signal in which the low enable signal RE was delayed by five steps of inverters, and outputs this as precharge enable signal PE. That is, the single shot pulse of precharge enable signal PE will be produced corresponding to falling of the low enable signal RE.

[0093] Next, in the latch control circuit 12, the circuit which consists of an inverter 76, an inverter 77, the delay circuit 78, NAND gate 79, and an inverter 80 generates a positive single shot pulse with the width of face which is equivalent to the time delay of an inverter 77 and the delay circuit 78 from falling of column enable signal CE. The transistor 81 of an n channel connects the latch control signal LC to touch-down potential by a single shot pulse being supplied from an inverter 80, and makes it "L" level. Moreover, the inverters 82 and 83 connected in the shape of a loop constitute the latch 84 for holding the latch control signal LC, and when a transistor 81 turns on, the value which latch 84 holds is reset by "0."

[0094] Moreover, the circuit which consists of an inverter 85, an inverter 86, the delay circuit 87, NAND gate 88, and an inverter 89 generates a positive single shot pulse with the width of face which is equivalent to the time delay of an inverter 86 and the delay circuit 87 from falling of the address change detecting signal ATD. The transistor 90 of an n channel connects the input terminal of an inverter 82 to touch-down potential by a single shot pulse being supplied from an inverter 89. While the latch control signal LC is set to "H" level by this, the value which latch 84 holds is set to "1." That is, the latch control signal LC is a signal with which falling of the address change detecting signal ATD to the falling event of column enable signal CE serves as "H" level.

[0095] next, actuation of the semiconductor memory by the above-mentioned configuration -- a case -- dividing -- carrying out -- sequential explanation -- it carries out. <Read-out accompanied by refresh> Actuation in case refresh is performed in connection with read-out by changing the read-out address one by one is explained referring to the timing chart of drawing 3 first. In addition, drawing 3 has shown the timing when performing continuously refresh actuation which made the trigger generating of the address change detecting signal ATD by each memory cycle. For this reason, all are being fixed to "H" level and the refresh control signals REFA and REFB do not show these signals to especially drawing 3. Moreover, it reads in this case, comes out, and writes in from a certain thing, and an enable signal/WE serves as as ["H" level]. Furthermore, "Rx_Word" shown in drawing 3 is a word line corresponding to refresh address R_ADD, and "Ax_Word" is a word line corresponding to Address Address. Moreover, in this drawing, it shall be shown in drawing 3 and, also in reliance, the value of refresh address R_ADD shall have become "R1" from before.

[0096] If time of day t1 comes first, while Address Address starts change from the value till then to "A1", a chip select signal/CS will be validated. At this time, the latch control signal LC has "L" level so that clearly from the explanation mentioned later. Therefore, Address Address is buffered with an address buffer 1, passes latch 2 through, serves as internal address L_ADD, and is supplied to the ATD circuit 3. But since a skew may be contained in Address Address, the value of Address Address has not necessarily been decided as well as the case where it is general-purpose SRAM, at this event.

[0097] For this reason, although the address cannot be incorporated to latch 2 at time of day t1, when it becomes so, it will incorporate to latch 2 from that value being decided to "A1", by the time the latch control signal LC serves as "H" level next. He will allot the waiting period which the value of the address Address supplied from the semiconductor-memory outside has not decided with this operation gestalt to refresh from such a thing, and is trying to use effectively the waiting period to which the interior action is not performed in general-purpose SRAM.

[0098] Next, when time of day t2 comes because Address Address (interior address L_ADD of =) changed, the ATD circuit 3 makes the address change detecting signal ATD generate a single shot pulse. If the address change detecting signal ATD starts, a multiplexer 5 will come to choose a refresh address R_ADD side, and the value of address M_ADD will be set to "R1" at time of day t3. Moreover, the low control circuit 13 comes to make the low enable signal RE generate a single shot pulse from time of day t4 because the address change detecting signal ATD started.

[0099] Then, if the low decoder 7 decodes the value "R1" of address M_ADD and becomes time of day t5, it will activate word line Rx_Word, because the low enable signal RE started. Consequently, in the memory cell array 6, the maintenance data of a memory cell connected to word line Rx_Word comes to appear as potential on a bit line. On the other hand, if time of day t6 comes, a single shot pulse will be generated by sense amplifier enable signal SE because the single shot pulse occurred in the low enable signal RE.

Thereby, the sense amplifier in the sense amplifier reset circuit 9 is activated, and refresh of each memory cell connected to word line Rx_Word is performed. In addition, since the refresh itself is completely the same as what is performed by DRAM and it is a well-known technical matter, what is explained in detail here is not done.

[0100] Then, when the single shot pulse generated in the low enable signal RE at time of day t7 falls, in order for the low decoder 7 to make word line Rx_Word deactivate, word line Rx_Word is deactivated at time of day t8. Moreover, at the previous time of day t7, if the low control circuit 13 becomes time of day t9, in response to the fact that the low enable signal RE fell, it will bring down sense amplifier enable signal SE. For this reason, the sense amplifier in the sense amplifier reset circuit 9 which finished refresh is deactivated. Moreover, the low control circuit 13 makes precharge enable signal PE generate a single shot pulse at time of day t10 in response to falling of the low enable signal RE.

[0101] Thereby, the precharge circuit in the sense amplifier reset circuit 9 precharges a bit line in preparation for the next access. In addition, even if a single shot pulse is generated by the low enable signal RE, he is trying not to make column enable signal CE generate a single shot pulse unlike the case of read-out, since it is not necessary to output the data of a memory cell to the semiconductor-memory exterior in process of refresh. For this reason, the column decoder 8 considers each column selection signal as [a non-active state], and as illustrated, the column selection signal Yj (Ax) serves as as ["L" level].

[0102] Next, if the single shot pulse of the address change detecting signal ATD falls at time of day t11, although not shown in drawing 3, the output enable signal OE will become effective. Then, the R/W control circuit 11 makes a control signal CWO "H" level in preparation for read-out from a memory cell. Moreover, I/O buffer 10 comes to send out the data which the sense amplifier reset circuit 9 outputs through Bus WRB to bus I/O. But at this event, the data on Bus WRB is not decided yet. Furthermore, in response to the fact that the address change detecting signal ATD fell, when the refresh control circuit 4 becomes time of day t12, it updates refresh address R_ADD and sets the value to "R1+1".

[0103] In addition, although it assumed that the value of refresh address R_ADD was "R1" previously, renewal of sequential also of this value is carried out from the data at the time of reset "0" ignited by falling of the address change detecting signal ATD the same with having explained now. Moreover, in the same time of day t12, a multiplexer 5 comes to choose an internal address L_ADD side in response to falling of the address change detecting signal ATD. Since the value of Address Address is decided as it mentioned above, when it became at this event, that value "A1" comes to be outputted as address M_ADD.

[0104] Next, if time of day t13 comes, corresponding to falling of the low enable signal RE in the previous time of day t7, the single shot pulse of precharge enable signal PE will fall, and the precharge circuit in the sense amplifier reset circuit 9 will terminate precharge. On the other hand, in response to the fact that the address change detecting signal ATD fell at the previous time of day t11, if the latch control circuit 12 becomes time of day t14, it will start the latch control signal LC. Therefore, latch 2 comes to hold the value of internal address L_ADD (therefore, address M_ADD) until the latch control signal LC falls again, even if Address Address changes after this.

[0105] The low control circuit 13 makes the low enable signal RE similarly generate a single shot pulse at time of day t15 in response to falling of the address change detecting signal ATD. Thereby, the low decoder 7 activates word line Ax_Word corresponding to the address "A1" shortly at time of day t16, and the maintenance data of a memory cell connected to the word line concerned by it comes to appear as potential on a bit line. Next, the low control circuit 13 makes sense amplifier enable signal SE generate a single shot pulse at time of day t17 corresponding to the standup of the low enable signal RE. For this reason, the sense amplifier in the sense amplifier reset circuit 9 senses the data of each memory cell connected to word line Ax_Word, and amplifies the potential on a bit line to the logical level (namely, touch-down potential or power supply potential) of "0"/"1".

[0106] Moreover, the low control circuit 13 makes a control signal CC generate a single shot pulse, and is outputted to the column control circuit 14 so that it may correspond to the single shot pulse of the low enable signal RE. The column control circuit 14 makes column enable signal CE generate a single shot

pulse at time of day t18 based on a control signal CC. In this way, when column enable signal CE serves as "H" level, the column decoder 8 decodes the train address included in internal address L_ADD, and makes reference] generate a single shot pulse for Yj (Ax) shown in column selection-signal [drawing 3 corresponding to the train address concerned at time of day t19. Consequently, the output of the sense amplifier corresponding to the train address concerned is chosen among the sense amplifiers in the sense amplifier reset circuit 9, and it connects with Bus WRB.

[0107] Next, since the low control circuit 13 brings down the low enable signal RE, the low decoder 7 makes word line AX_Word deactivate at time of day t21, if time of day t20 comes. Moreover, if time of day t22 comes, the sense result of the sense amplifier chosen previously will come to appear on Bus WRB. Moreover, at this time of day, corresponding to the low enable signal RE having fallen previously, the low control circuit 13 brings down sense amplifier enable signal SE, and terminates the sense actuation by the sense amplifier in the sense amplifier reset circuit 9.

[0108] Moreover, if the low control circuit 13 brings down a control signal CC corresponding to the low enable signal RE having fallen previously, as for the column control circuit 14, column enable signal CE will be brought down. For this reason, as a result of the column decoder's 8 cancelling a column selection signal [Yj in drawing (Ax)] at time of day t23, between the sense amplifier in the selected sense amplifier reset circuit 9 and Buses WRB is separated. Moreover, in the almost same time of day, I/O buffer 10 outputs the data Dout of the memory cell by which reading appearance was carried out on Bus WRB (A1) to the semiconductor-memory exterior via bus I/O.

[0109] Next, if time of day t24 comes, the low control circuit 13 will start precharge enable signal PE corresponding to the low enable signal RE having fallen previously, and will precharge a bit line again in preparation for the next access. Moreover, in this time of day, the latch control circuit 12 makes the latch control signal LC "L" level, in response to the fact that column enable signal CE fell. Subsequently, if time of day t25 comes, the low control circuit 13 will bring down precharge enable signal PE at time of day t25 so that it may respond to the low enable signal RE having fallen at the previous time of day t20. For this reason, the precharge circuit in the sense amplifier reset circuit 9 terminates precharge of a bit line.

[0110] Cycle actuation which that of the actuation after this was completely the same as the actuation in the time of day t1-t25 mentioned above, and made time amount Tcycle the unit is performed repeatedly. That is, if "A2" was given as the address Address, after a single shot pulse will be outputted to the address change detecting signal ATD corresponding to change of Address Address and refresh will be performed about the address "R1+1", while a refresh address is updated by "R1+2", reading appearance of the memory cell corresponding to the address "A2" is carried out, and Data Dout (A2) is outputted outside through bus I/O.

[0111] Then, if "A3" was given as the address Address, after a single shot pulse will be outputted as an address change detecting signal ATD corresponding to change of Address Address and refresh of the address "R1+2" will be performed, while a refresh address is updated by "R1+3", reading appearance of the memory cell corresponding to the address "A3" is carried out, and Data Dout (A3) is outputted outside through bus I/O.

[0112] As mentioned above, with this operation gestalt, when Address Address changes, after carrying out precedence implementation of the refresh to the refresh address decided with an internal address counter, the usual access is performed about Address Address. This is because the case at the time of the writing explained next is taken into consideration. That is, in asynchronous general-purpose SRAM, it writes in, and an enable signal/WE is overdue to change of Address Address, and becomes effective in asynchronous.

[0113] For this reason, according to the configuration refreshed after processing the usual access like the 1st conventional example or the 2nd conventional example, if a write-in enable signal / WE is validated to early timing, since refresh is started after writing is completed, there will be especially no problem. However, when a write-in enable signal / WE is validated further behind time, write-in actuation and refresh actuation may lap. Then, although writing must be delayed until refresh is completed in such a case, a logical design will also become so difficult, when timing control is complicated by making it such and circuit magnitude increases. Therefore, in order to make refresh and writing complete in the predetermined time

amount Tcycle, it should make the configuration previously refreshed rather than writing, and while circuit magnitude is reducible with it, the logical design itself becomes easy.

[0114] <Read-out without refresh> Next, the example of operation in the case of controlling refresh by the refresh timer in the refresh control circuit 4 is shown in the timing chart of drawing 4. This drawing has shown the changing timing which shifts to the condition of not performing such refresh actuation, from the condition of performing continuously refresh actuation which made the trigger generating of the address change detecting signal ATD by each memory cycle. For this reason, to the refresh control signal REFA continuing being "H" level, by drawing 4, the latch circuit in the refresh control circuit 4 was reset between the time of day t12-t14 which the refresh for 1 refresh cycle completed, and the refresh control signal REFA is brought down at drawing 3. In addition, the refresh for 1 refresh cycle shall point out refreshing by a unit of 1 time about all word lines. Incidentally, the refresh control signal REFB is considered as as ["H" level] like the case of drawing 3.

[0115] although it is dependent also on the configuration and capacity of a memory cell array, whenever Address Address changes, it must not necessarily refresh that what is necessary is just to carry out refresh for 1 refresh cycle by the predetermined within a time one for several ms – about dozens of ms. Therefore, the refresh control signal REFA is brought down and refresh is stopped until it will start refresh of the following refresh cycle, if a part for 1 refresh cycle was refreshed by refreshing with access from the outside as shown in drawing 3. By carrying out like this, excessive refresh is no longer performed and power consumption can be reduced.

[0116] As mentioned above, in the case of drawing 4, the timing wave before and behind that is shown about the case where refresh for 1 refresh cycle is completed by refresh to the address "R1" so that it may understand. The low control circuit 13 ceases to make the low enable signal RE generate a single shot pulse by the refresh control signal REFA being set to "L" level, even if the address change detecting signal ATD starts. For this reason, sense amplifier enable signal SE and precharge enable signal PE corresponding to the low enable signal RE also cease to generate the low control circuit 13.

[0117] Moreover, in order for the low decoder 7 to activate word line Rx_Word, refresh for word line Rx_Word is no longer performed after all. In addition, since the address counter in the refresh control circuit 4 stops count actuation by the refresh control signal REFA having been set to "L" level, the value of refresh address R_ADD becomes with the value "R1+1" updated at time of day t12. Moreover, when the refresh address R_ADD side is chosen also about address M_ADD, the value serves as as ["R1+1"]. Then, in making refresh of the following refresh cycle start, in order that the refresh control circuit 4 may return the refresh control signal REFA to "H" level, actuation as shown in drawing 3 comes to be performed again.

[0118] In addition, also when refresh actuation is resumed in this way, a refresh counter is not reset but increment actuation is performed to the value currently held till then at the refresh counter. that is, for example, self refresh actuation -- a refresh cycle (namely, cycle refreshed for all word lines) -- on the way -- even if interrupted, when it came out, and a refresh counter is not reset and the next refresh (reading appearance may be carried out or you may be any of refresh and self refresh accompanying Normal access of writing.) actuation is resumed, the increment of the value which remains in the refresh counter is carried out.

[0119] <Writing accompanied by refresh> Next, the actuation in the case of refreshing with writing is explained, referring to the timing chart shown in drawing 5. In addition, since all are being fixed to "H" level for the refresh control signals REFA and REFB also in this case as well as the case of drawing 3, especially drawing 5 does not show these signals. Moreover, drawing 5 is based on the actuation shown in drawing 3 by considering this as writing instead of read-out shown in drawing 3. For this reason, the actuation in the time of day t31-t38 shown in drawing 5 is the same as the actuation in the time of day t1-t25 shown in drawing 3 except for the following points.

[0120] As mentioned above, a write-in enable signal / WE is inputted into asynchronous within a memory cycle regardless of change of Address Address. Then, while the time of day t32 after refresh is completed here comes, writing in, supplying "Din (A1)" to data and being put on bus I/O, it assumes that write in at time of day t33, and an enable signal/WE falls. And if a negative pulse is inputted into a write-in enable

signal / WE and it falls at time of day t33, it will be made reversed [delay this write-in enable signal / WE and], and the low control circuit 13 will be outputted as a low enable signal RE.

[0121] But since a single shot pulse is generated by the low enable signal RE in this case in falling of the address change detecting signal ATD as well as drawing 3, both will be compounded and a single shot pulse will be outputted to the low enable signal RE. In this way, the low enable signal's RE generation of a single shot pulse activates the word line "Ax_Word" corresponding to the address "A1" like the case where it is drawing 3. Moreover, it can come, simultaneously a single shot pulse is generated one by one by sense amplifier enable signal SE, column enable signal CE, the column selection signal Yj (Ax), and precharge enable signal PE.

[0122] On the other hand, when a write-in enable signal / WE becomes effective, as for the R/W control circuit 11, a control signal CWO is brought down at time of day t34. Consequently, I/O buffer 10 comes to send out the write-in data on bus I/O to Bus WRB side, and when it becomes time of day t35, change produces it to the data on Bus WRB. If the column selection signal Yj (Ax) is set to "H" level at the next time of day t36, writing will be performed to the memory cell specified in Address Address. Moreover, after writing is completed, a bit line is precharged like the case of the point.

[0123] Then, time of day t37 comes and it writes in, if an enable signal/WE starts, it will write in, and data is decided, and the low control circuit 13 brings down the low enable signal RE after that. Moreover, sense amplifier enable signal SE, column enable signal CE, the column selection signal Yj (Ax), and precharge enable signal PE will fall one by one by time of day t38 like the time of the address change detecting signal ATD falling in drawing 3 because the low enable signal RE falls. Moreover, in response to the fact that it wrote in at the previous time of day t37 and an enable signal/WE started, when the R/W control circuit 11 becomes time of day t39, it starts a control signal CWO.

[0124] Although read-out from the address "A2" is performed after this, this actuation is completely the same as the time of read-out from the address "A2" explained by drawing 3. It will continue at this read-out and the writing to the address "A3" will be carried out. The actuation in the time of day t41-t48 in this case also becomes a thing according to the writing to the address "A1" explained now. However, a write-in enable signal / WE is inputted in this case to timing earlier than the time of the writing to the address "A1." That is, it is the timing to which it writes in during refresh in this case, and an enable signal/WE falls, and a difference arises in a part of actuation compared with the writing mentioned above.

[0125] That is, while it writes in at the time of day t42 under refresh in this case and an enable signal/WE falls, it writes in on bus I/O at time of day t43, and "Din (A3)" which is data is supplied. Then, the R/W control circuit 11 writes in, it is made to correspond to an enable signal / falling of WE; and a control signal CWO is brought down at time of day t44. Consequently, if time of day t45 comes, data "Din (A3)" will come to be sent out on Bus WRB from I/O buffer 10. At this event, since word line Ax_Word, column enable signal CE, and the column selection signal Yj (Ax) are not activated by all, a memory cell does not succeed in writing.

[0126] But like [the semiconductor memory of this operation gestalt] general-purpose SRAM, after a write-in enable signal / WE is inputted, it writes in, and the period which can incorporate data is decided on specification. Therefore, even if it is going to write in when refresh is completed and it writes in to a memory cell actually, and it is going to incorporate data, then it writes in and the value of data may not be guaranteed. So, with this operation gestalt, it writes in, while refreshing a write-in enable signal / WE and it is effective, data is incorporated on Bus WRB, and after refresh is completed, it writes in from Bus WRB to the memory cell of Address Address.

[0127] That is, since the write-in data on Bus WRB has logical level (namely, touch-down potential or power supply potential) of "0"/"1", if sequential activation of word line Ax_Word, sense amplifier enable signal SE, column enable signal CE, and the column selection signal Yj (Ax) is carried out next, it can be written in from Bus WRB to a memory cell. And it is the same as that of the case of the writing to the address "A1" after this, and if the single shot pulse of the low enable signal RE is generated from falling of the address change detecting signal ATD, precharge of the bit line following the writing to the address "A3" and this will be performed.

[0128] In addition, in this process, it writes in at time of day t46, an enable signal/WE starts, and, in response, the R/W control circuit 11 starts a control signal CWO at time of day t47. Moreover, without being generated immediately, since the address change detecting signal ATD already serves as "H" level when it writes in at time of day t42 and an enable signal/WE falls, after the address change detecting signal ATD serves as "L" level, the low enable signal RE is delayed in the low control circuit 13, and is outputted as a low enable signal RE. But since a single shot pulse is generated by the low enable signal RE also in this case in falling of the address change detecting signal ATD as well as the time of the writing of the address "A1", what compounded both will be outputted as a low enable signal RE.

[0129] <Writing without refresh> Next, the refresh timer in the refresh control circuit 4 shows the thing about the case of writing to the timing chart of drawing 6 about the example of operation which controls refresh. The point of difference between this drawing and drawing 5 is completely the same as drawing 3 and the point of difference of drawing 4. That is, it differs from the case where it is drawing 5 that the refresh control signal REFA is brought down after completion of refresh in drawing 6, that refresh address R_ADD is no longer updated from "R1+1" by drawing 6, and that refresh is no longer performed to a refresh address "R1+1" and "R1+2" by drawing 6.

[0130] <Self refresh> Next, there is no access request from the semiconductor-memory outside over predetermined time amount (henceforth "refresh time amount"), and actuation in case self refresh by the refresh timer is performed is explained. In addition, what is necessary is just to set up this "predetermined time amount" based on the data-hold property (for example, data maintain period) of a memory cell. As mentioned above, when there is address change in connection with the access request from the outside, before processing the access request concerned, with this operation gestalt, it is made to refresh. However, since it is also considered that the access request from the outside does not occur for a long time, the data of the memory cell array 6 cannot be held only by refreshing, when there is an access request. Then, when refresh time amount has passed using the refresh timer in the refresh control circuit 4 since the event of the access request from the outside suiting at the end, he is trying to start self refresh with this operation gestalt.

[0131] Drawing 7 shows the timing of operation at this time. At the time of day t51–t52 of this drawing, change of the address Address accompanying the read-out demand from the outside is detected, and refresh and read-out are performed. The actuation within this period is completely the same as read-out to the address "A1" shown in drawing 4, and the refresh control signal REFA serves as "L" level after this actuation. Moreover, when a single shot pulse is generated by the address change detecting signal ATD, the refresh control circuit 4 has reset the value of a refresh timer.

[0132] Then, when the condition that there is no access request from the semiconductor-memory outside continues, the refresh control circuit 4 starts the refresh control signal REFA at time of day t53, and is made to change in the condition which can be refreshed. In spite of having considered as such a condition, when the condition that there is no access request continues, the refresh control circuit 4 starts the above-mentioned pulse generating circuit by making into a trigger the standup of a signal in which the refresh control signal REFA was delayed in the above-mentioned delay circuit, and makes the refresh control signal REFB generate a negative single shot pulse at time of day t54. Thereby, the low control circuit 13 makes the low enable signal RE generate a single shot pulse at time of day t55, and starts self refresh.

[0133] At this time, since the refresh control signal REFB was set to "L" level, a multiplexer 5 comes to choose a refresh address R_ADD side, and it outputs "R1+1" as address M_ADD. And the precharge following this self refresh and it is completely the same as the actuation shown in drawing 3 etc. In this way, if time of day t59 comes, precharge enable signal PE will fall and self refresh and precharge will be completed. Since there is no access request from the outside as usual even if it becomes at this event, it is different in time of day t51–t52 etc., and access to Address Address is not performed.

[0134] Then, the pulse generating circuit in the refresh control circuit 4 starts the refresh control signal REFB at time of day t56. Next, if the standup of the refresh control signal REFB is received, the refresh control circuit 4 will update refresh address R_ADD at time of day t57, and will set the value to "R1+2."

And after the refresh control signal REFA is started at time of day t53 in this case, the address change detecting signal ATD does not occur, and it does not shift to the condition of performing refresh actuation accompanying address change continuously. Therefore, when the refresh control circuit 4 becomes time of day t58, it changes the refresh control signal REFA to "L" level, and it is changed into the condition that this or later controls refresh actuation with a refresh timer successively. Furthermore, a multiplexer 5 comes to choose an internal address L_ADD side from time of day t59 in response to the standup of the refresh control signal REFB.

[0135] Here, if an access request is between time of day t53–t54 from the semiconductor–memory exterior and change is accepted in Address Address, the actuation will become like the timing chart shown in drawing 8. That is, if Address Address changes to "An" at time of day t60 and the ATD circuit 3 makes the address change detecting signal ATD generate a single shot pulse at time of day t61, the refresh control circuit 4 will be maintained with "H" level, without bringing down the refresh control signal REFB like [at the time of drawing 7]. For this reason, refresh to the address "R1+1" and read-out from the address "An" will be performed like time of day t51–t52 after time of day t61. Consequently, if time of day t62 comes, "Dout (An)" which is the stored data of the address "An" will come to be outputted to bus I/O. In addition, in drawing 8, it assumes that approached the timing of a cel hold limit and the refresh control signal REFA was started at time of day t53. Therefore, since it will refresh continuously in connection with the memory cycle which continues next, the refresh control signal REFA is maintained with "H" level.

[0136] <Writing when a write-in enable signal is inputted late> Next, writing when it writes in referring to the timing chart of drawing 9 and an enable signal/WE is inputted behind time is explained. In this case, on these descriptions, since a memory cycle becomes long, that actuation is called "Long Write actuation", as shown in drawing 9. In addition, the refresh control signals REFA and REFB of all are still "H" level also in this case.

[0137] First, when the value of Address Address changes to "A1" at time of day t71, refresh is performed about a refresh address "R1" completely like the case where it mentions above. However, it writes in, even if this refresh is completed, and since an enable signal/WE is still "H" level, read-out for the address "A1" is successively performed to refresh like drawing 3 etc. Consequently, if time of day t72 comes, "Dout (A1)" which is the stored data of the address "A1" will come to be outputted to bus I/O. However, at the side which accessed the semiconductor memory, since the writing to a memory cell is considered, the read-out data at this event is an access side, and is not used actually. But it is an access side, and after incorporating this read-out data and performing a certain operation, it may be made to write in successively. That is, it is also possible by delaying a write-in enable signal intentionally to realize lead modification light actuation within 1 memory cycle.

[0138] Then, writing will be started because time of day t73 comes and a write-in enable signal / WE falls at last, and actuation almost same in the 2nd write cycle shown in drawing 6 will be performed. However, there is no change of the address Address accompanying a write-in enable signal / falling of WE in this case, and that value is still "A1." Therefore, the ATD circuit 3 does not make the address change detecting signal ATD generate a single shot pulse, and the address change detecting signal ATD serves as ["L" level]. For this reason, a multiplexer 5 will continue choosing an internal address L_ADD side, and the value of address M_ADD serves as as ["A1"] in preparation for next writing.

[0139] Moreover, if a write-in enable signal / WE is inputted behind time, the low enable signal RE generated in falling of the address change detecting signal ATD between time of day t71–t72 will have returned to "L" level by completion of read-out which follows refresh. Then, it is made for the low control circuit 13 to generate the low enable signal RE in this case based on a write-in enable signal / WE.

[0140] namely, -- this event -- the address change detecting signal ATD -- "L" -- since it is level, "H" level is supplied to the delay circuit 52, NAND gate 53, and NAND gate 54 from the inverter 30 shown in drawing 2. For this reason, if it writes in at time of day t73 and an enable signal/WE falls, this write-in enable signal / WE will be outputted as a low enable signal RE at time of day t77, after being able to give delay by the delay circuit 49, passing NOR gate 50 and an inverter 51 and reversing that level through NAND gate 53, NAND gate 54, and NAND gate 65. In addition, since a single shot pulse is not generated by

the address change detecting signal ATD in this case, the latch control signal LC has returned to "L" level. However, since incorporation actuation to the latch 2 of Address Address has already been performed in the case of read-out of the dummy following refresh, there is especially no problem.

[0141] Here, in time of day t74, it writes in bus I/O and "Din (A1)" which is data is already supplied to it, if the R/W control circuit 11 writes in and a control signal CWO is brought down at time of day t75 in response to an enable signal / falling of WE, when time of day t76 comes, it will write in on Bus WRB from I/O buffer 10, and data "Din (A1)" will come to be sent out. For this reason, writing is started by the single shot pulse of the low enable signal RE, and as drawing 6 explained, writing is performed to the address "A1" by it.

[0142] With this operation gestalt, it cannot predict whether in writing, it writes in at which event and an enable signal/WE is inputted in the top where it is unknown any of read-out/writing the access requests from the outside are as well as asynchronous SRAM etc. as mentioned above at the initiation event which is the memory cycle from which Address Address begins to change. For this reason, with this operation gestalt, when the access request read and came out for the time being, regard it as a certain thing, it is made to perform read-out from falling of the address change detecting signal ATD, it writes in after that and an enable signal/WE is inputted, it is writing in.

[0143] <Case where writing is performed after refresh by the refresh timer since the write-in enable signal was inputted late> Next, another timing of Long Write actuation is explained with reference to the timing chart of drawing 10. In this drawing, since self refresh was started by the refresh timer before a write-in enable signal / WE was inputted, when it writes in the midst to which self refresh is performed and an enable signal/WE falls, it corresponds.

[0144] First, it is completely the same as that of the actuation shown in drawing 9 except for the following point about the refresh in time of day t81-t83, and read-out of a dummy. That is, refresh for 1 refresh cycle is completed by refresh which begins from time of day t81. For this reason, refresh is stopped until it will be necessary to bring down the refresh control signal REFA and to refresh the following refresh cycle, if the refresh control circuit 4 becomes time of day t82. Then, if the condition that there is no access request from the semiconductor-memory outside continues, the refresh control circuit 4 will start the refresh control signal REFA at time of day t84.

[0145] However, in order that next may not have an access request succeedingly, the refresh control circuit 4 makes the refresh control signal REFB generate a negative single shot pulse at time of day t85. Then, by the refresh control signal REFB having been set to "L" level, a multiplexer 5 chooses a refresh address R_ADD side, and the low control circuit 13 makes the low enable signal RE generate a single shot pulse, and it starts the self refresh to the address "R1+1." Then, although it will write in if time of day t86 comes, and an enable signal/WE falls, the self refresh and the writing which can be set in this case become the same as what was shown at the time of day t41-t48 of drawing 5.

[0146] That is, since it will write in on bus I/O from the semiconductor-memory exterior and data will be supplied if time of day t88 comes, the R/W control circuit 11 brings down and writes in a control signal CWO, and transmits data to Bus WRB from I/O buffer 10. Moreover, in order to choose an internal address L_ADD side in response to the standup of the refresh control signal REFB in time of day t87, a multiplexer 5 comes to output "A1" as address M_ADD, when it becomes time of day t89. If self refresh is completed next, according to the low enable signal RE generated from the refresh control signal REFB, it will write in to the memory cell of the address "A1", and data "Din (A1)" will be written in from Bus WRB.

[0147] <Case where refresh by the refresh timer is performed in after writing although the write-in enable signal was inputted late> Next, with reference to the timing chart of drawing 11, still more nearly another example of timing of Long Write actuation is explained. In this drawing, after a write-in enable signal / WE is inputted and writing starts, it is the case where there is a refresh demand by the refresh timer, and when self refresh is performed after completion of writing, it corresponds.

[0148] First, the refresh in time of day t91-t92 and read-out of a dummy are completely the same as the case of drawing 10. Then, if the condition that there is no access request from the semiconductor-memory outside continues, the refresh control circuit 4 will start the refresh control signal REFA at time of

day t93. And if it writes in at time of day t94 and an enable signal/WE falls before a refresh timer clocks refresh time amount, the writing of data "Din (A1)" to the address "A1" will be performed in advance of self refresh. In addition, this writing itself is the same as the Long Write actuation shown in drawing 9 or drawing 10. Moreover, when a write-in enable signal / WE falls, the refresh control circuit 4 delays the standup of the refresh control signal REFA in an internal delay circuit so that a negative single shot pulse may not occur in the refresh control signal REFB, until only the time amount which is required for precharge following the writing to the memory cell array 6 and this passes.

[0149] In this way, when writing is completed, the pulse generating circuit in the refresh control circuit 4 makes the refresh control signal REFB generate a negative single shot pulse at time of day t95. Thereby, a multiplexer 5 comes to choose a refresh address R_ADD side. Moreover, the low control circuit 13 makes the low enable signal RE generate a single shot pulse, and starts the self refresh to the address "R1+1" outputted from the multiplexer 5. After such self refresh is completed, in response to the standup of the refresh control signal REFB, the refresh control circuit 4 updates the value of refresh address R_ADD to "R1+2" at time of day t96, and a multiplexer 5 chooses an internal address L_ADD side at time of day t97.

[0150] The [2nd operation gestalt] This operation gestalt realizes the same function as the page mode adopted by general-purpose DRAM etc. Drawing 12 is the block diagram having shown the configuration of the semiconductor memory by this operation gestalt, and has attached the same sign about the same component as what was shown in drawing 1, and the signal name. With this operation gestalt, I/O is burstily made possible only by changing Address PageAddress about the bit which makes Address UAddress the same by dividing into the address UAddress by the side of a high order bit, and the address PageAddress by the side of a lower bit the address Address explained with the 1st operation gestalt.

[0151] For example, since Address PageAddress is made into 2-bit width of face with this operation gestalt, it is carrying out adjustable [of the address PageAddress] within the limits of "00" -[B] "11" B ("B's" meaning a binary number here), and is burstily accessible in the data for the continuous four address. In addition, it may not be limited to 2 bits, and as long as "2 bits" of width of face of Address PageAddress is within the limits of - "the number of bits of the train address included to Address Address", it may be the number of bits of arbitration. Moreover, with this operation gestalt, 4 sets of buses (here i= 0-3) WRBi are formed instead of the bus WRB shown in drawing 1 in connection with having made 4-bit data selectable in Address PageAddress. When the value of Address PageAddress is "00" B - "11" B, each bit data of the memory cell specified in these addresses will be outputted [for this reason,] and inputted through buses WRB0-WRB3, respectively.

[0152] Next, an address buffer 141, latch 142, the ATD circuit 143, the column decoder 148, and the sense amplifier reset circuit 149 are the same configurations as the address buffer 1 shown in drawing 1, latch 2, the ATD circuit 3, the column decoder 8, and the sense amplifier reset circuit 9. With this operation gestalt, since Address UAddress is used instead of the address Address in the 1st operation gestalt, only in the part which has a difference in the bit width of face of these addresses, the configurations of these circuits differ. Moreover, the sense amplifier reset circuit 149 has some point of difference further.

[0153] The data for 4 bits will be outputted [that is,] with this operation gestalt and inputted on buses WRB [WRB0-] 3 about each train address included in internal address L_ADD, respectively. For this reason, the sense amplifier reset circuit 149 chooses simultaneously four bit lines which adjoin within the memory cell array 6 according to the column selection signal outputted from the column decoder 148, and connects 4 sets of sense amplifiers and the buses WRB0-WRB3 which were connected to these bit lines, respectively. In addition, since Address PageAddress is not inputted into the ATD circuit 143, when changing Address PageAddress and accessing burstily, a single shot pulse is not generated by the address change detecting signal ATD.

[0154] In addition, if the point that the bit width of face of the address differs is removed, an address buffer 151 is the same configuration as an address buffer 1, and buffers Address PageAddress. Moreover, the bus decoder 152 decodes the page address for 2 bits outputted from an address buffer 151, and outputs four bus selection signals. Furthermore, the bus selector 153 connects between any 1 of buses WRB0-WRB3, and I/O buffers 10 by Bus WRBA according to these bus selection signal.

[0155] Next, actuation of the semiconductor memory which adopted the above-mentioned configuration with reference to the timing chart of drawing 13 is explained. Since actuation of this drawing is proportionate to actuation of drawing 4 explained with the 1st operation gestalt, here explains it focusing on a point of difference with the actuation in drawing 4. In addition, "Y1"- "Y4" shown in drawing 13 is which value of the "00" -[B] "11" B, and since it is easy, it assumes that the value of "Y1"- "Y4" is "00" B- "11" B here, respectively.

[0156] At time of day t101, "A1" is first given to Address Address like drawing 4. At this time, Address PageAddress is "Y1." thereby, the refresh and read-out corresponding to the address "A1" are performed, and if time of day t102 comes, reading appearance of the data memorized by four memory cells (namely, a lower address -- " -- 00" B- " -- 11" B) specified in the address A1 will be carried out on buses WRB [WRB0-] 3, respectively. At this time, the value of Address PageAddress decodes the "00 value B of "address PageAddress" Y1 which is B and received the bus decoder 152 through the address buffer 151" "00." Consequently, the bus selector 153 chooses a bus WRB0, and outputs the bit data currently outputted there to Bus WRBA. Consequently, if time of day t103 comes, on bus I/O, the value [Dout (A1)] of the address A1 will come to be outputted.

[0157] The data of the memory cell which makes the same the address UAddress portion of the address "A1" can be read by changing Address PageAddress suitably after this. That is, if "Y2" (= "01" B) is given to Address PageAddress at time of day t104, the bus selector 153 will choose the bit data on a bus WRB1 at time of day t105, it outputs to Bus WRBA, and if time of day t106 comes, the data "Dout (Y2)" with which the lower address is memorized to the address of "01" B will be outputted to bus I/O.

[0158] If "Y3" (= "10" B) is given to Address PageAddress at time of day t107 similarly hereafter, the data "Dout (Y3)" with which a bus WRB2 is connected to Bus WRBA at time of day t108, and the lower address is memorized to the address of "10" B at time of day t109 will be outputted to bus I/O. Moreover, if "Y4" (= "11" B) is given to Address PageAddress at time of day t110, the data "Dout (Y4)" with which a bus WRB3 is connected to Bus WRBA at time of day t111, and the lower address is memorized to the address of "11" B at time of day t112 will be outputted to bus I/O. In addition, although it was a thing at the time of applying to drawing 4 in explanation of the 2nd operation gestalt mentioned above, of course, you may apply to each **** shown in drawing 5 - drawing 11.

[0159] the [3rd operation gestalt] -- after the access request supplied from the outside carries out reading appearance, and is not because it is [whether it is a demand or] a write request but is refreshed with each operation gestalt mentioned above by making into a trigger change (the case where a chip select signal/CS is validated being included.) of Address Address, reading appearance is carried out or it is writing in.

[0160] On the other hand, with this operation gestalt, it reads compared with each operation gestalt mentioned above by being made to refresh after reading, when it reads and there is a demand, and doing so, and the improvement in speed (shortening of access time) is in drawing. In addition, when there is a write request, it is made to write in after refreshing like each operation gestalt mentioned above.

[0161] Drawing 14 is the block diagram having shown the configuration of the semiconductor memory by this operation gestalt. Since the configuration of the semiconductor memory shown in this drawing is the same as the configuration and basic target of the 1st operation gestalt (drawing 1), it has given the same sign to the same component as drawing 1 in drawing 14 . In addition, although this operation gestalt is explained on the basis of the semiconductor memory of the 1st operation gestalt below, the technical thought of this operation gestalt may be applied to the semiconductor memory of the 2nd operation gestalt.

[0162] By the specification of general-purpose SRAM, it writes in and an enable signal is given in asynchronous to change of the address. It is reverse by the case where they are the case where the processing sequence of refresh actuation and the access actuation to a memory cell is read-out with this operation gestalt, and writing here. For this reason, it is necessary to judge any of read-out/writing the access requests supplied from the outside are to a certain timing, and to determine processing sequence based on this judgment result with this operation gestalt.

[0163] So, this operation gestalt has prescribed the maximum (this maximum is hereafter called tAWmax) of

time amount (for example, time amount equivalent to the time amount tAW shown in drawing 16) until it writes in after Address Address changes, and an enable signal/WE is validated as specification of a semiconductor memory. That is, in writing in to a semiconductor memory, it is necessary to write in within time amount tAWmax from the event of changing Address Address, and to make an enable signal/WE validate in the system side which uses a semiconductor memory. In addition, what is necessary is just to determine the value of time amount tAWmax suitably according to the requirement specification by the side of a system.

[0164] The ATD circuit 163 shown in drawing 14 has the almost same function as the ATD circuit 3 shown in drawing 1 . However, since it does not become settled any of read-out/writing they are until time amount tAWmax passes, since the address begins to change, he is trying for the ATD circuit 163 not to generate the address change detecting signal ATD after detecting address change until time amount tAWmax passes.

[0165] If maximum of the skew contained to Address Address is made into time amount tskew (see drawing 15) here, it may be shorter than the time amount tskew which the value of time amount tAWmax shows depending on a system. If it is original as mentioned above, since the value of time amount tAWmax is decided according to the requirement specification by the side of a system, it can be set up regardless of time amount tskew.

[0166] However, since the value of Address Address is not decided until time amount tskew passes, since Address Address begins to change, don't start access to a memory cell array till then. Therefore, when time amount tAWmax is shorter than time amount tskew, the value of time amount tAWmax is set as time amount tskew, and access is made to be performed after Address Address is decided.

[0167] But what is necessary is just to take into consideration what was described now about the case of read-out. After refreshing also with this operation gestalt in writing, in order to write in, when time amount tAWmax has passed since the address change event and it is decided any of read-out/writing they are, even if it makes refresh actuation start from from, it is convenient in any way. Furthermore, if it wrote in before time amount tAWmax passed, and an enable signal/WE became effective, since it can judge that it is write-in actuation at the event, refresh actuation may be made to start without waiting for progress of time amount tAWmax.

[0168] The refresh control circuit 164 has the same function as the refresh control circuit 4 of drawing 1 . However, the refresh control circuit 164 is written in when the address change detecting signal ATD starts, with reference to an enable signal/WE, if it is a read-out demand, refresh address R_ADD will be updated by making the standup of the address change detecting signal ATD into a trigger, and if it is a write request, will make a trigger falling of the address change detecting signal ATD, and will update refresh address R_ADD.

[0169] Next, the multiplexer 165 has the almost same function as the multiplexer 5 shown in drawing 1 , however, with this operation gestalt, since it was necessary to read by preceding with refresh in read-out, reading appearance was carried out, in order to distinguish any of /writing they are, it wrote in the multiplexer 165 and an enable signal/WE is inputted. When a write-in enable signal / WE is "L" level (writing), actuation of a multiplexer 165 turns into the same actuation as a multiplexer 5.

[0170] On the other hand, it writes in, and when an enable signal/WE is "H" level, a multiplexer 165 performs selection actuation of the case of writing, and reverse. Speaking concretely, the address change detecting signal's ATD choosing an internal address L_ADD side, if "H" level and the refresh control signal REFB are "H" level, and a multiplexer's 165 choosing a refresh address R_ADD side, if the address change detecting signal ATD is "L" level or the refresh control signal REFB is "L" level.

[0171] Next, the low control circuit 173 has the almost same function as the low control circuit 13 shown in drawing 1 , and, in writing, performs the same actuation as the low control circuit 13. On the other hand, in read-out, the low control circuit 173 activates low enable signal RE, sense amplifier enable signal SE, a control signal CC, and the precharge signal PE by making the standup of the address change detecting signal ATD into a trigger for read-out actuation. Moreover, the low control circuit 173 activates low enable signal RE, sense amplifier enable signal SE, and precharge enable signal PE for refresh actuation by making

falling of the address change detecting signal ATD into a trigger.

[0172] Next, actuation of the semiconductor memory by this operation gestalt is explained. Here, read-out actuation is explained with reference to the timing chart first shown in drawing 15, and write-in actuation is explained with reference to the timing chart of drawing 16.

[0173] First, if Address Address changes at the time of day t120 shown in drawing 15, this address change will be transmitted to the ATD circuit 163 through an address buffer 1 and latch 2. However, at this event, since read-out/writing is undecided, the ATD circuit 163 does not carry out generating promptly the single shot pulse of the address change detecting signal ATD.

[0174] Then, since it will be decided in any of writing/read-out it is if time amount tAWmax passes since time of day t120 and time of day t122 comes, the ATD circuit 163 makes the address change detecting signal ATD generate a single shot pulse at time of day t123. And it reads in this case, and since it is a demand, it writes in and an enable signal/WE serves as "H" level, and a multiplexer 165 chooses an internal address L_ADD side, and supplies address M_ADD (= address "A1") to the low decoder 7 at time of day t124. Moreover, the low control circuit 173 makes a trigger the standup of the address change detecting signal ATD, and carries out sequential generation of low enable signal RE, sense amplifier enable signal SE, a control signal CC, and the precharge signal PE. reading appearance is carried out to drawing 3 like the case where "Read Cycle" shows, by this, and actuation is performed, for example, word line Ax_Word corresponding to the address "A1" is activated at time of day t125, and reading appearance of the data "Dout (A1)" of a memory cell is carried out on bus I/O at time of day t126.

[0175] Then, if the address change detecting signal ATD falls at time of day t127, a multiplexer 165 will come to choose a refresh address R_ADD side; and will supply address M_ADD (= address "R1+1") to the low decoder 7 at time of day t128. Moreover, the low control circuit 173 makes a trigger falling of the address change detecting signal ATD, and carries out sequential generation of low enable signal RE, sense amplifier enable signal SE, and the precharge signal PE. Refresh actuation is performed to drawing 3 like the case where "RefreshCycle" shows, by this, for example, word line Rx_Word corresponding to the address "R1+1" is activated at time of day t129.

[0176] Next, actuation when there is a write request is explained. When Address Address begins to change at the time of day t140 shown in drawing 16 in writing, it writes in before the time of day t143 after time amount tAWmax progress from from, and an enable signal/WE is validated. In drawing 16, it should write in at the time of day t142 after time amount tAW from time of day t140, and an enable signal/WE should be brought down.

[0177] Next, the ATD circuit 163 receives address change and a write-in enable signal / falling of WE, and makes the address change detecting signal ATD generate a single shot pulse at time of day t144. Since a write-in enable signal / WE is "L" level at this time, a multiplexer 165 chooses a refresh address R_ADD side for refresh actuation, and outputs "R1" to the low decoder 7 as address M_ADD at time of day t145. Moreover, the low control circuit 173 carries out sequential generation of low enable signal RE, sense amplifier enable signal SE, and the precharge signal PE. Thereby, refresh actuation is performed like the case where "Refresh Cycle" shows after the time of day t31 of drawing 5.

[0178] Then, it will write in, if time of day t146 comes, and the value "Din (A1)" of data comes to be supplied on bus I/O. Next, if the ATD circuit 163 brings down the address change detecting signal ATD at time of day t147, a multiplexer 165 will come to choose an internal address L_ADD side, and will output the line address portion of "A1" to the low decoder 7 as address M_ADD at time of day t148. Moreover, the low control circuit 173 carries out sequential generation of low enable signal RE, sense amplifier enable signal SE, a control signal CC, and the precharge signal PE. Thereby, write-in actuation is performed to drawing 5 like the case where "Write cycle" shows.

[0179] As explained above, if time amount tAWmax passes after the address changes, read-out actuation can be started with this operation gestalt. For this reason, it becomes possible to accelerate read-out compared with the 1st operation gestalt or the 2nd operation gestalt, and access time can be shortened. The effect of an access time improvement becomes large, so that time amount required for refresh actuation is long in each operation gestalt especially mentioned above and the value of the time amount

tAWmax in this operation gestalt is small.

[0180] The [4th operation gestalt] He was trying to switch a standby mode with each operation gestalt mentioned above based on the power down control signal PowerDown supplied from the semiconductor-memory outside. On the other hand, with this operation gestalt, the same standby mode switch as each operation gestalt mentioned above is realized by writing in the data for mode switch directions to the specific address on the memory cell array 6 decided beforehand. Here, in the semiconductor memory by this operation gestalt, "0" addresses on the memory cell array 6 (the lowest address) are made into the data storage field only for mode switches. Moreover, with this operation gestalt, the data for setting it as a standby mode 2 shall be "F0" h ("h" means a hexadecimal here), and the data for setting it as a standby mode 3 shall be "0 F" h. Therefore, with this operation gestalt, the bus width of face of Bus WRB is 8 bits.

[0181] Drawing 17 is the block diagram having shown the configuration of the semiconductor memory by this operation gestalt, and has attached the same sign about the same component as what was shown in drawing 1, and the signal name. It is mentioned that the configurations of that the pin for inputting the power down control signal PowerDown does not exist as a point that drawing 17 is different from drawing 1, that the standby mode control circuit 201 is newly added, the refresh control circuit 204, the boost power supply 215, the substrate voltage generating circuit 216, the refresh control circuit 4 that the reference voltage generating circuit 217 showed to drawing 1, respectively, the boost power supply 15, the substrate voltage generating circuit 16, the reference voltage generating circuit 17, and a part differ. Then, the details of these each part are explained hereafter, referring to drawing 18 – drawing 22. In addition, in these drawings, the same sign is attached about the same component as what was shown in drawing 1 or drawing 17, and the signal name.

[0182] In drawing 17, the standby mode control circuit 201 generates the mode setting signals MD2 and MD3 based on the write-in data on internal address L_ADD, a chip select signal/CS, a write-in enable signal / WE, and Bus WRB first. Among these, the mode setting signal MD 2 is a signal used as "H" level, when setting it as a standby mode 2, and it is supplied to the refresh control circuit 204. On the other hand, the mode setting signal MD 3 is a signal used as "H" level, when setting it as a standby mode 2 or a standby mode 3, and it is supplied to the boost power supply 215, the substrate voltage generating circuit 216, and the reference voltage generating circuit 217. In addition, the time of the mode setting signals MD2 and MD3 of all being "L" level is a standby mode 1.

[0183] Here, drawing 18 is the circuit diagram having shown the details configuration of the standby mode control circuit 201. In this drawing, data WRB0–WRB3, and WRB4–WRB7 are the bits 0–3 of the write-in data supplied on Bus WRB from the exterior of a semiconductor memory, and 4–7. and -- and (AND) the circuit which consists of the gate 221, NOR gate 222, and AND gate 223 -- write-in data -- "F0" -- "H" level is outputted only when it is h. Similarly, the circuit which consists of NOR gate 224, AND gate 225, and AND gate 226 outputs "H" level, only when write-in data is "0 F" h. Moreover, by taking the OR of the output of AND gate 223,226, OR gate 227 outputs "H" level, when it is inputted as write-in data any of "F0" h or "0 F" h they are.

[0184] Next, address X0 B–Y7B is the address value which reversed each bit which constitutes internal address L_ADD. For example, address X0B is the value which reversed the bit 0 of a row address, and address Y7B is the value which reversed the bit 7 of a column address. Therefore, AND gate 228 outputs "H" level, only when the whole of each bit of internal address L_ADD detects "0" B (that is, "0" addresses). And AND gate 229 outputs a write-in enable signal / WE as it is as a clock, only when writing in data "F0" h or "0 F" h to "0" addresses. Moreover, AND gate 230 is written in only when writing data "0 F" h in "0" addresses, and it outputs an enable signal/WE as a clock as it is.

[0185] Next, the circuit which consists of inverters 231–236 and AND gate 237 catches the falling edge of a chip select signal/CS, and makes Signal CEOS generate a single shot pulse. Next, latch 238 outputs from Q terminal by making into the mode setting signal MD 2 "H" level corresponding to the power supply potential supplied to D terminal, when the output of AND gate 229 starts and a clock is inputted into C terminal. Moreover, when a single shot pulse occurs to the signal CEOS supplied to R terminal, latch 238 resets self and outputs "L" level to the mode setting signal MD 2. Latch 239 is also the same configuration,

when the output of AND gate 230 starts, "H" level is outputted to the mode setting signal MD 3, and when a single shot pulse occurs to Signal CEOS, "L" level is outputted to the mode setting signal MD 3.

[0186] As mentioned above, when setting it as a standby mode 2, the output of AND gate 229 starts synchronizing with a write-in enable signal / standup of WE, the D type latch 238 is set, and the mode setting signal MD 2 serves as "H" level. Moreover, in setting it as a standby mode 3, each output of AND gate 229,230 starts synchronizing with a write-in enable signal / standup of WE, both latches 238,239 are set, and both the mode setting signal MD 2 and the mode setting signal MD 3 serve as "H" level.

[0187] Next, a chip select signal / CS, and the mode setting signal MD 2 are used for the refresh control circuit 204 shown in drawing 17 instead of the power down control signal PowerDown, and it generates refresh address R_ADD and the refresh control signals REFA and REFB. Here, drawing 19 is the circuit diagram having shown the details configuration of the refresh control circuit 204. As for the transistor 240 of a P channel, the gate terminal, the source terminal, and the drain terminal are connected to the current supply pin of the output of AND gate 241, power supply potential, and the refresh control circuit 4 among drawing; respectively. For this reason, if the output of AND gate 241 is "L" level, a transistor 240 will turn on, a power supply will be supplied to the refresh control circuit 4, if this output is "H" level, a transistor 240 will cut off and current supply will be stopped.

[0188] AND gate 241 makes a transistor 240 cut off, when a semiconductor memory is the condition (a chip select signal/CS is "H" level) of not choosing and a standby mode 2, or a standby mode 3 (the mode setting signal MD 2 is "H" level). Next, an inverter 242 generates the reversal signal of the mode setting signal MD 2, and the output serves as "H" level at the time of a standby mode 1. While AND gate 243 outputs refresh address R_ADD which the refresh control circuit 4 generates in a standby mode 1 as it is, it makes this address fix to "0" in a standby mode 2 or a standby mode 3.

[0189] While AND gate 244 outputs the refresh control signal REFA which the refresh control circuit 4 generates in a standby mode 1 as it is, it fixes this signal to "L" level in a standby mode 2 or a standby mode 3. Moreover, an inverter 245 outputs "L" level at the time of a standby mode 1 in order to reverse the output of an inverter 242. While OR gate 246 outputs the refresh control signal REFB which the refresh control circuit 4 generates in a standby mode 1 as it is, it fixes this signal to "H" level in a standby mode 2 or a standby mode 3.

[0190] Next, drawing 20 – drawing 22 are the circuit diagrams having shown the detailed configuration of the boost power supply 215, the substrate voltage generating circuit 216, and the reference voltage generating circuit 217, respectively. In the boost power supply 215, the transistor 250 of a P channel and AND gate 251 have the same function as the transistor 240 shown in drawing 19, respectively, and AND gate 241. That is, when semiconductor memories are the condition (a chip select signal/CS is "H" level) of not choosing, and a standby mode 3 (the mode setting signal MD 3 is "H" level), a transistor 250 is cut off, the current supply to the boost power supply 15 is stopped, and, in other than this, a power supply is supplied at the boost power supply 15. The transistor 252,254 which is completely the same also about the substrate voltage generating circuit 216 and the reference voltage generating circuit 217 as for the above thing, and constitutes these circuits is equivalent to the transistor 250 within the boost power supply 215, and AND gate 253,255 supports AND gate 251 within the boost power supply 215.

[0191] Next, the actuation at the time of the standby mode switch in the semiconductor memory by the above-mentioned configuration is as follows.

[0192] ** What is necessary is just to bring down a chip select signal/CS to set standby mode 1 semiconductor memory as a standby mode 1. By doing so, the standby mode control circuit 201 generates a single shot pulse from the falling edge of a chip select signal/CS, and resets latch 238 and latch 239, and all make "L" level the mode setting signals MD2 and MD3.

[0193] Thereby, in the refresh control circuit 204, while a transistor 240 turns on and a power supply is supplied to the internal refresh control circuit 4, refresh address R_ADD and the refresh control signals REFA and REFB which the refresh control circuit 4 generates come to be outputted as they are. Moreover, a power supply is supplied to the internal boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17 also in the boost power supply 215, the substrate

voltage generating circuit 216, and the reference voltage generating circuit 217, respectively. Actuation which was explained with the 1st operation gestalt or the 2nd operation gestalt by the above actuation being performed is attained.

[0194] ** What is necessary is just to write the data of "F0" h in "0" addresses, as mentioned above to set to standby mode 2 standby mode 2. Thereby, the standby mode control circuit 201 makes the mode setting signal MD 2 "H" level from a write-in enable signal / rising edge of WE. Since a chip select signal/CS will serve as "H" level if the semiconductor memory will not be chosen at this event or it will not be chosen after that, the refresh control circuit 204 stops the current supply to the internal refresh control circuit 4.

[0195] Moreover, the refresh control circuit 204 makes the level of the refresh control signals REFA and REFB fix to "L" level and "H" level, respectively, since the output becomes unfixed by the current supply to the refresh control circuit 4 having been lost while making refresh address R_ADD fix to "0." Moreover, at this event, since a chip select signal/CS is "H" level, the ATD circuit 3 is considered as as ["L" level], without making the address change detecting signal ATD generate a single shot pulse, even if internal address L_ADDi (refer to drawing 2) changes.

[0196] For this reason, all make low enable signal RE, sense amplifier enable signal SE, precharge enable signal PE, and a control signal CC, as for the low control circuit 13, fix to "L" level. Therefore, column enable signal CE and the latch control signal LC serve as as ["L" level]. on the other hand, the refresh control signal REFB fixes to "H" level -- having -- in addition -- and the address change detecting signal ATD -- "L" -- since it is fixed to level, a multiplexer 5 continues choosing [come] an internal address L_ADD side.

[0197] Refresh actuation is interrupted as mentioned above and the consumed electric currents are reduced. In addition, at this time, since the mode setting signal MD 3 is still "L" level, a power supply continues being supplied to the boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17 (see drawing 20 – drawing 22).

[0198] ** What is necessary is just to write the data of "0 F" h in "0" addresses, as mentioned above to set to standby mode 3 standby mode 3. Thereby, both the standby mode control circuits 201 make "H" level the mode setting signal MD 2 and the mode setting signal MD 3 from a write-in enable signal / rising edge of WE. For this reason, when a chip select signal/CS is set to "H" level, the refresh control circuit 204 stops the current supply to the internal refresh control circuit 4 like the time of a standby mode 2. this simultaneously the boost power supply 215, the substrate voltage generating circuit 216, and the reference voltage generating circuit 217 -- each -- the current supply to the internal boost power supply 15, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17 is stopped. In addition to refresh control being interrupted like a standby mode 2, the current of an electrical power system control circuit is also omitted by this, and the consumed electric current decreases further by it.

[0199] As mentioned above, with this operation gestalt, since it is not necessary to give a signal like the power down control signal PowerDown explained with the 1st operation gestalt from the semiconductor-memory outside, only the part can reduce the number of pins. In addition, although the explanation mentioned above explained the 4th operation gestalt based on the 1st operation gestalt, the same thing may be applied to the 2nd operation gestalt or the 3rd operation gestalt as it is.

[0200] The [5th operation gestalt] He is trying to control refresh actuation of the whole memory cell array inside a semiconductor memory by each operation gestalt mentioned above according to which standby mode chosen from the standby modes which have three kinds. For this reason, even if it is a case as the memory cell array 6 shown, for example in drawing 1 is divided into two or more fields (henceforth "memory cell area"), the self refresh actuation in a standby condition will be controlled by the same standby mode in common to all memory cell area.

[0201] However, although it is necessary to hold data in the state of standby about a certain memory cell area (room) depending on the application to which a semiconductor memory is applied, in memory cell area (memory cell area used as a buffer as mentioned above) on which only the data used temporarily is put, it has been said that it is not necessary to hold data in the state of standby. For example, when the mobile

terminal system represented by the cellular phone is considered, information, such as a homepage downloaded from the Internet, is the things of a property to hold temporarily, only while the user is looking. [0202] That is, since it is not necessary to perform self refresh in the state of standby about the memory cell area used for a use which was described now, standby current is so much reducible. For that purpose, if it becomes [whether self refresh is carried out and data is held and] possible to specify for every memory cell area, it will also become possible to limit standby current to minimum consumption by assigning memory cell area which can control standby current now efficiently according to a user's needs and application, for example, was doubled with the mobile terminal system.

[0203] When the memory cell array is constituted from such a background by this operation gestalt in two or more memory cell area, setting out of a standby mode is enabled according to an individual to each memory cell area. Drawing 23 is the block diagram having shown the configuration of the important section of the semiconductor memory by this operation gestalt, and realizes this operation gestalt based on the configuration of drawing 1. However, although each signal relevant to the address buffer 1 which has illustrated only the circuit of the circumference of memory cell area by drawing 23 from the convenience of a graphic display, and is shown in drawing 1, latch 2, the ATD circuit 3, the refresh control circuit 4, a multiplexer 5, the R/W control circuit 11, the latch control circuit 12, and these is omitted, about these, each is the same as that of drawing 1.

[0204] Although illustrated in drawing 23 about the case where the memory cell array 6 shown in drawing 1 is divided into two memory cell area 61 and 62, though natural, the number of memory cell area may be how many. Here, in the following explanation, it will be called a "memory plate" including the circumference circuit prepared for every memory cell area corresponding to memory cell area and this memory cell area. For example, in the example of a configuration shown in drawing 23, the low decoder 71 which are the memory cell area 61 and its circumference circuit, the column decoder 81, the sense amplifier reset circuit 91, the boost power supply 151, the substrate voltage generating circuit 161, and the reference voltage generating circuit 171 are defined as one memory plate.

[0205] But the low control circuit 313 is generating the control signal for every memory cell area so that it may mention later. The circuit portion in the low control circuit 313 for following, for example, generating the low enable signal RE1, sense amplifier enable signal SE1, and precharge enable signal PE1 may be included in the circumference circuit corresponding to the memory cell area 61. Moreover, in the following explanation, the boost power supply 151, the substrate voltage generating circuit 161, and the reference voltage generating circuit 171 which are needed for self refresh actuation are named generically, and "the 1st power circuit", a call, the boost power supply 152 and the substrate voltage generating circuit 162, and the reference voltage generating circuit 172 are generically called "the 2nd power circuit."

[0206] Next, the low decoder 71, the column decoder 81, the sense amplifier reset circuit 91, the boost power supply 151, the substrate voltage generating circuit 161, and the reference voltage generating circuit 171 are the same configurations as the component of drawing 1 excluding the subscript "1" from each sign corresponding to the memory cell area 61. For example, the low decoder 71 is the same as the low decoder 7 shown in drawing 1. Moreover, what replaced the subscript "1" of each [these] component with the suffix "2" is the component prepared corresponding to the memory cell area 62.

[0207] Next, although I/O buffer 10 is the same as what was shown in drawing 1, with this operation gestalt, it connects with the both sides of the sense amplifier reset circuits 91 and 92 through Bus WRB. Next, although the column control circuit 14 is the same as what was shown in drawing 1, with this operation gestalt, column enable signal CE is supplied to the both sides of the column decoder 81 and the column decoder 82.

[0208] Next, the PowerDown control circuit 301 is generating control signals PD1 and PD2 in a standby condition, and supplying the 1st power circuit and the 2nd power circuit, respectively, and controls power cut actuation of these power circuits according to an individual. With this operation gestalt, when control signals PD1 and PD2 are made into "H" level, each power circuit performs current supply, and when this signal is made into "L" level, each power circuit shall cut current supply. In addition, in the case of the normal operation which is not in a standby condition, the PowerDown control circuit 301 makes all "H"

level for control signals PD1 and PD2.

[0209] With this operation gestalt, in order to simplify explanation, the case where two kinds of modes of the standby mode ("refresh **") which performs self refresh of a memory cell, and the standby mode ("nothing [refresh]") which does not perform self refresh of a memory cell are formed is explained here, but it is also the same as when three kinds of standby modes are prepared like each operation gestalt mentioned above. Moreover, with this operation gestalt, the case where the level of the control signals PD1 and PD2 in a standby condition is fixed is assumed. In addition, although the 6th operation gestalt explains the configuration which makes level of these control signals programmable from the outside, the level of a control signal may also consist of these operation gestalten programmable.

[0210] Next, the low control circuit 313 is the almost same configuration as the low control circuit 13 shown in drawing 1. However, with this operation gestalt, since two memory plates are prepared, the low control circuit 313 generates two control signals corresponding to each memory plate. That is, the low control circuit 313 supplies the low enable signals RE1 and RE2 to the low decoders 71 and 72, respectively, supplies sense amplifier enable signal SE1 and precharge enable signal PE1 to the sense amplifier reset circuit 91, and supplies sense amplifier enable signal SE2 and precharge enable signal PE2 to the sense amplifier reset circuit 92. Moreover, the low control circuit 313 is controlling whether the level of control signals PD1 and PD2 is interlocked with, and the two above-mentioned control signals are generated. For example, when the PowerDown control circuit 301 outputs "L" level to a control signal PD2 in the state of standby, the low control circuit 313 does not generate the control signal which should be supplied to the memory cell area 62 side in the state of standby.

[0211] Next, standby actuation of the semiconductor memory by the above-mentioned configuration is explained. First, when using the both sides of the memory cell area 61 and 62 by "refresh **", when the PowerDown control circuit 301 will be in a standby condition, it makes "H" level both the control signals PD1 and PD2, and makes voltage supply to the both sides of the 1st power circuit and the 2nd power circuit like the time of not being in a standby condition. This is interlocked with and the low control circuit 313 carries out sequential generation of the low enable signals RE1 and RE2, the sense amplifier enable signals SE1 and SE2, and the precharge enable signals PE1 and PE2. For this reason, the low decoders 71 and 72 activate the word line on the memory cell area 61 and 62, respectively, the sense amplifier reset circuit circuits 91 and 92 choose a sense amplifier, respectively, and self refresh is performed.

[0212] Next, when using the both sides of the memory cell area 61 and 62 by "nothing [refresh]", both the PowerDown control circuits 301 make "L" level control signals PD1 and PD2 in a standby condition. For this reason, the 1st power circuit and 2nd power circuit come to suspend supply of voltage. Moreover, the low control circuit 313 does not generate the low enable signals RE1 and RE2, the sense amplifier enable signals SE1 and SE2, and the precharge enable signals PE1 and PE2 in the state of standby. Therefore, self refresh is no longer performed at all in this case.

[0213] Next, when using the memory cell area 61 by "refresh **" and using the memory cell area 62 by "nothing [refresh]", the PowerDown control circuit 301 outputs "H" level and "L" level to control signals PD1 and PD2 in a standby condition, respectively. Moreover, the low control circuit 313 generates the low enable signal RE1, sense amplifier enable signal SE1, and precharge enable signal PE1 in the state of standby, and does not generate the low enable signal RE2, sense amplifier enable signal SE2, and precharge enable signal PE2. In this way, only the 1st power circuit comes to supply voltage and self refresh comes to be performed only about the memory cell area 61.

[0214] Subsequently, when using the memory cell area 61 by "nothing [refresh]" and using the memory cell area 62 by "refresh **", it becomes the opposite of having stated now. That is, the PowerDown control circuit 301 sets control signals PD1 and PD2 as "L" level and "H" level in a standby condition, respectively. Moreover, the low control circuit 313 generates only the low enable signal RE2, sense amplifier enable signal SE2, and precharge enable signal PE2 in the state of standby. For this reason, only the 2nd power circuit comes to supply voltage and self refresh comes to be performed only about the memory cell area 62.

[0215] With this operation gestalt, when both memory cell area is made into "refresh **", 100micro about

A standby current occurs. On the other hand, when only one of memory cell area is made into "refresh **", standby current can be reduced by half in 50microA of abbreviation 1/2. On the other hand, when both memory cell area is made into "nothing [refresh]", standby current can be thoroughly made into zero.

[0216] In addition, although the explanation mentioned above explained this operation gestalt based on the 1st operation gestalt, the same thing may be applied to the 2nd operation gestalt or the 3rd operation gestalt. Moreover, although it has drawn in drawing 23 as if the memory cell area 61 and 62 was the same capacity, you may be the capacity from which these memory cell area differs. Furthermore, although the explanation mentioned above explained the case of two kinds of standby modes, in the case of three kinds of standby modes, you may apply like the 1st – the 3rd operation gestalt which were mentioned above.

[0217] The [6th operation gestalt] Drawing 24 is the block diagram having shown the configuration of the important section of the semiconductor memory by this operation gestalt, and realizes this operation gestalt based on the configuration of drawing 1. The memory cell array 6 is divided into two or more memory cell area like the 5th operation gestalt, and this operation gestalt also enables setting out of a standby mode independently to each memory cell area (memory plate).

[0218] However, with this operation gestalt, since the semiconductor memory with many memory cell area is borne in mind, unlike drawing 23, the number of memory cell area is generalized, and they may be pieces (n:2 or more natural numbers). For this reason, the memory cell array 6 shown in drawing 1 is divided into the memory cell area 61–6n by drawing 24. Moreover, in drawing 24, the low decoders 71–7n, the column decoders 81–8n, and the sense amplifier reset circuits 91–9n are formed corresponding to each memory cell area.

[0219] Next, a power circuit 350 has strengthened serviceability rather than the configuration shown in drawing 1 so that current supply can be simultaneously performed to all n memory cell area, while unifying the boost power supply 15 which is a power circuit common to the memory cell area 61–6n, and was shown in drawing 23, the substrate voltage generating circuit 16, and the reference voltage generating circuit 17. In addition, with this operation gestalt, since the power circuit is communalized between memory cell area, a memory plate consists of a low decoder 71 which are the memory cell area 61 and its circumference circuit, a column decoder 81, and a sense amplifier reset circuit 91.

[0220] Next, the PowerDown control circuits 351 are the PowerDown control circuit 301 shown in drawing 23, and same circuit, and they generate control signals PD1–PDn so that it may correspond to n memory cell area. Next, switching devices 3521–352n are controlling the current supply to each memory plate corresponding to the memory cell area 61–6n according to control signals PD1–PDn, respectively. For example, when a control signal PD 1 is "H" level, a switching device 3521 serves as ON, supplies a power supply to the memory plate corresponding to the memory cell area 61 from a power circuit 350, and also when this signal is "L" level, serves as OFF and stops the current supply to this memory plate. In addition, switching devices 3522–352n are the same as a switching device 3521.

[0221] Next, the low control circuits 353 are the low control circuit 313 shown in drawing 23, and same circuit, generate the low enable signals RE1–REn, the sense amplifier enable signals SE1–SEn, and the precharge enable signals PE1–PEn, and supply these control signals to the corresponding memory plate. Next, it is programmable to arbitration as any the program circuit 354 shall set each memory cell area between "refresh **" or "nothing [refresh]" according to a user's needs and application. And the program circuit 354 sends out the data showing "refresh **" or "nothing [refresh]" that was programmed for every memory cell area to the PowerDown control circuit 351 and the low control circuit 353.

[0222] Here, as the implementation technique for programming from the semiconductor-memory exterior to the program circuit 354, two technique described below is considered as an example. It is possible first as the 1st implementation technique to prepare a fuse in the program circuit 354 interior at a memory plate response. In this case, the level of the control signals PD1–PDn in a standby condition can be set up now according to an individual by whether each fuse is cut.

[0223] Next, the technique using the address supplied from the outside as the 2nd implementation technique can be considered. That is, since the memory cell area 61–6n is assigned to room different, respectively, when Address Address (see drawing 1) is given from the exterior, the memory cell area

corresponding to this address becomes settled uniquely. For example, if $n=4$, when the value of 2 bits of high orders of Address Address is "00" B - "11" B, the memory cell area 61-64 will be accessed, respectively. Therefore, the memory cell area which should be programmed can be pinpointed now with Address Address.

[0224] What is necessary is just to consider as the configuration according to the 4th operation gestalt (to see drawing 17 and drawing 18), in order to realize the above thing. First, the register for holding the standby mode set up from the outside is prepared into the program circuit 354 for every memory plate. Moreover, Address Address, a chip select signal/CS, a write-in enable signal / WE, and Bus WRB are inputted into the program circuit 354.

[0225] And while specifying the memory plate which should be set up in 2 bits of high orders of Address Address in setting out of a standby mode, lower bits other than this are set as the specific value (a lower bit [For example, applying to the 4th operation gestalt correspondingly.] wholly "0" B). Moreover, the data showing the standby mode which should be set up is carried on Bus WRB. If it writes in in this condition and an enable signal/WE is brought down, the program circuit 354 will incorporate the data of the standby mode which should be set as the memory plate specified in 2 bits of high orders of Address Address from Bus WRB, and will set it to the register corresponding to the memory plate concerned.

[0226] Next, standby actuation of the semiconductor memory by the above-mentioned configuration is explained. All memory cell area other than this is set as "nothing [refresh]" only for the now, for example, memory cell, area 61 as "refresh **." And it uses any of the two implementation technique which mentioned this setting out above they are, and programs to the program circuit 354. Thereby, setting out of the standby mode for every memory plate is notified to the PowerDown control circuit 351 and the low control circuit 353.

[0227] As mentioned above, while normal operation is performed, control signals PD1-PDn serve as "H" level altogether. On the other hand, if it will be in a standby condition, while the PowerDown control circuit 351 considers a control signal PD 1 as as ["H" level], it will make "L" level altogether control signals PD2-PDn other than this. Thereby, switching devices 3522-352n become off altogether to a switching device 3521 serving as as [ON]. For this reason, although a power supply continues being supplied to the memory plate corresponding to the memory cell area 61 from a power circuit 350, a power supply is no longer supplied to the memory plate corresponding to the memory cell area 62-6n.

[0228] On the other hand, the low control circuit 353 is generating the low enable signal RE1, sense amplifier enable signal SE1, and precharge enable signal PE1, and carries out self refresh of the memory cell area 61 to which a power supply is continuing being supplied. Moreover, it is made for the low control circuit 353 not to generate a low enable signal, a sense amplifier enable signal, and a precharge enable signal about the memory plate corresponding to the memory cell area 62-6n to which a power supply is no longer supplied. In this way, " $1/n$ " can be made to reduce standby current by controlling to carry out self refresh only of the memory cell area 61 in a standby condition.

[0229] As mentioned above, according to this operation gestalt, the same advantage as the 5th operation gestalt is acquired, and also a standby mode can be set as arbitration from the exterior according to a user's needs and application. In addition, with this operation gestalt, since the power circuit 350 is communalized between memory plates, even if the number of memory plates increases, it is not necessary to increase a power circuit, and can consider as a more nearly small-scale configuration compared with the 5th operation gestalt.

[0230] In addition, although the explanation mentioned above explained this operation gestalt based on the configuration of the 1st operation gestalt, the same thing may be applied to the 2nd operation gestalt - 4th operation gestalt. Moreover, although it has drawn in drawing 24 as if 61-6n of memory cell area was the same capacity, you may be the capacity from which these memory cell area differs. Furthermore, although the explanation mentioned above explained the case of two kinds of standby modes, in the case of three kinds of standby modes, you may apply like the 1st - the 3rd operation gestalt.

[0231] Moreover, control of the standby mode explained with each operation gestalt (the 1st operation gestalt - 6th operation gestalt) mentioned above may be applied to the existing semiconductor memories,

such as false [conventional / SRAM] and a commodity-grade DRAM, and it is not limited to false [of the general-purpose SRAM specification taken up with each operation gestalt / SRAM].

[0232] The [7th operation gestalt] All refresh actuation of the memory cell array 6, the memory cell area 61, 62, and 6n, etc. was controlled by the 1st operation gestalt mentioned above – the 6th operation gestalt inside the semiconductor memory. In addition to on the other hand controlling refresh actuation by this operation gestalt inside a semiconductor memory like each above-mentioned operation gestalt, refresh actuation is considered as the controllable configuration also from the semiconductor-memory exterior. By adopting such a configuration, it becomes possible to sort out by the test before shipping the chip which nonconformity produces at the time of refresh actuation.

[0233] Then, the reason which the concrete content of this nonconformity and this nonconformity produce is explained first. Based on the refresh control signals REFA and REFB which the refresh control circuit 4 (refer to drawing 1) generates, the initiation timing of refresh is controlled for example, by the 1st operation gestalt of each operation gestalt mentioned above. For example, after making the refresh control signal REFA into "H" level (time of day t53), when predetermined time has passed (time of day t54), the refresh control signal REFB is made to generate a negative single shot pulse, and is made to start self refresh to the timing shown in drawing 7 . And it is as having carried out point ** that these refresh control signal is generated based on the output signal of the refresh timer in the refresh control circuit 4.

[0234] Here, in order for a refresh timer to generate the output signal, it is common to carry out dividing of the output of the ring oscillator (graphic display abbreviation) prepared in the interior of a semiconductor memory, and to make it. For this reason, when it considers as such a configuration, the timing of a refresh control signal will be dependent on the period of a ring oscillator. However, the period of a ring oscillator may change according to factors, such as supply voltage, an external temperature, and a manufacture process, and especially an external temperature changes every moment according to the environment where a semiconductor memory is placed. It is impossible to predict in advance when self refresh is started according to a refresh control signal from such a thing as a matter of fact. If it puts in another way, it will see from the semiconductor-memory outside and the self refresh in the interior of a semiconductor memory will start in asynchronous.

[0235] on the other hand, if the timing from which Address Address changes as mentioned above (; also including validation of a chip select signal/CS -- below the same) is seen from a semiconductor memory, it is asynchronous-like and cannot know the timing beforehand. Thus, since both timing is asynchronous-like mutually, it is very difficult to discover the nonconformity generated only when a semiconductor memory is only tested ordinarily and the initiation timing of self refresh and the change timing of Address Address are in a specific time relation.

[0236] And the following can be considered as nonconformity depending on such timing. Although a single shot pulse is generated by the address change detecting signal ATD because Address Address changes as mentioned above, inside a semiconductor memory, it may become a noise source to generate a single shot pulse etc. That is, when the initiation timing of self refresh and the change timing of Address Address lap, it may originate in generation of a single shot pulse, and supply voltage may descend transitionally. When it does so, the pulse (see the time of day t55 of drawing 7) of the low enable signal RE generated by initiation of self refresh from the refresh control signal REFB will fall temporarily on the way (that is, generating of a hazard).

[0237] Since a word line will be deactivated if the level of the low enable signal RE falls, the refresh time amount needed will no longer be secured enough, and refresh will become halfway. Such lack of refresh time amount causes the nonconformity of refreshing by the data by which the memory cell was mistaken so that it might state below. That is, in order to refresh a DRAM' memory cell (the same is said of read-out), as shown in drawing 25 , each potential of the bit line (the sign BL in drawing and a sign / BL) of the complementation which constitutes a bit line pair is precharged to 1/2Vcc, and the charge which the memory cell which was made to activate a word line after that and was connected to the word line concerned holds is read on a bit line BL.

[0238] Since a miniature potential difference arises from the time of day t220 in drawing between a bit line

BL and /BL by such actuation, this miniature potential difference is amplified to the potential difference (for example, touch-down potential / power supply potential Vcc) which is equivalent to the logical level of "0"/"1" with a sense amplifier. This amplified potential difference is used as the potential difference for the re-writing (refresh) to a memory cell. Therefore, if it becomes the lack of refresh time amount, re-writing will be performed to a memory cell by the potential difference [that a miniature potential difference is fully amplified] (for example, potential difference to time of day t220 – t222 neighborhood). For this reason, the data of "0" may be re-written in although the data of a memory cell must originally have been "1."

[0239] Moreover, the noise produced by generation of a single shot pulse besides nonconformity which was described now may cause the following nonconformities. That is, after a word line is activated, by the time a sense amplifier starts actuation, it is necessary to set predetermined time (for example, period of the time of day t220–t221 shown in drawing 25). If the noise which originated in the single shot pulse within this predetermined time appears on a bit line pair, it is possible that a miniature potential difference changes with the effects of a noise, and the size relation of the potential between a bit line BL and /BL is reversed. When it becomes so, it becomes impossible to refresh the memory cell concerned by the right data memorized by the memory cell, even if a sense amplifier performs amplification actuation.

[0240] Since it does not die to the reason for shipping a chip with the above nonconformities as it is, it is necessary to guarantee that nonconformity does not arise no matter it may sort out such a chip and the initiation timing of self refresh and the timing of address change may be in what time relation. In addition, it is thought that a fundamental solution is abolishing a noise source and is effective. [of the cure of being as dividing a power system into plurality **** / and] [strengthening a power supply to it] However, naturally it is necessary to verify whether nonconformity is canceled truly from a noise necessarily not being thoroughly removed, even if it takes such measures.

[0241] Then, he changes the time relation between the timing of initiation of self refresh, and the change timing of Address Address, and is trying to verify the existence of the above-mentioned nonconformity with this operation gestalt according to the directions from the semiconductor-memory outside (for it to be circuit tester equipment as an example). Although there are incidentally some commodity-grade DRAMs which are carrying out self refresh, since the configuration which generates a single shot pulse signal corresponding to address change is not adopted, nonconformity which was mentioned above does not arise in a commodity-grade DRAM. In the semantics, the technical problem that this nonconformity is verified is peculiar to the semiconductor memory of SRAM specification using a DRAM memory cell like this invention.

[0242] Below, the case where the technical thought of this invention is applied to the configuration of the 1st operation gestalt is mentioned as an example, and a concrete configuration is explained. Drawing 26 is the block diagram having shown the configuration of the semiconductor memory by this operation gestalt, and has attached the same sign about the same signal name and same component as what was shown in drawing 1. Then, with this operation gestalt, if a point of difference with drawing 1 is explained, while adding a multiplexer 261, NOR gate 262, and an inverter 263 to the configuration of drawing 1, the static test mode signal MODE supplied from circuit tester equipment and the refresh control signal EXREFB will be added as an input signal. Moreover, as the static test mode signal MODE and the refresh control signal EXREFB are further supplied to the refresh control circuit 4 shown in drawing 1, what performed the functional addition (it mentions later for details) based on these signals is made into the refresh control circuit 304.

[0243] Here, the static test mode signal MODE is a static test mode entry signal for making a semiconductor memory shift to a static test mode from the usual mode of operation, and the refresh control signal EXREFB is a signal for starting refresh from the semiconductor-memory exterior. Moreover, although the refresh control signals REFA and REFB were supplied to the multiplexer 5 and the low control circuit 13 in drawing 1, refresh control signal REFA' and REFB' are supplied to instead of [these] with this operation gestalt in the multiplexer 5 and the low control circuit 13.

[0244] Next, if the static test mode signal MODE is "H" level, a multiplexer 261 will choose the refresh control signal EXREFB, will output this as refresh control signal REFB', if the static test mode signal MODE

is "L" level, will choose the refresh control signal REFB like the 1st operation gestalt, and will output this as refresh control signal REFB'. Next, the circuit which consists of NOR gate 262 and an inverter 263 will make refresh control signal REFA' "L" level compulsorily regardless of the level of the refresh control signal REFA, if the static test mode signal MODE is "H" level. On the other hand, if the static test mode signal MODE is "L" level, the refresh control signal REFA will be outputted as refresh control signal REFA' as it is like the 1st operation gestalt. next -- the case where, as for the refresh control circuit 304, the static test mode signal MODE serves as "H" level -- the standup of the refresh control signal EXREFB -- an internal address counter -- "1" -- it counts up and refresh address R_ADD is updated.

[0245] Thus, by making the static test mode signal MODE into "H" level, and making it shift to a static test mode, the refresh demand (refresh which made the trigger the standup of the address change detecting signal ATD, and self refresh by the refresh timer) generated inside a semiconductor memory is cancelled, and the refresh control from the outside is validated. And while refresh is started by the refresh control signal REFB like the time of giving a negative single shot pulse by supplying a negative single shot pulse from the exterior in such the condition at the refresh control signal EXREFB, renewal of refresh address R_ADD is performed. On the other hand, if the static test mode signal MODE is set as "L" level, refresh by the refresh demand generated inside the semiconductor memory completely like the 1st operation gestalt will come to be performed.

[0246] In addition, the static test mode signal MODE and the refresh control signal EXREFB are signals used by each only by the test before shipment, and after shipment fixes and uses the static test mode signal MODE for "L" level. Moreover, although actuation of a semiconductor memory will not be influenced if the static test mode signal MODE is made into "L" level about the refresh control signal EXREFB, it is used, fixing for any of "H" level or "L" level being. But it will not be this limitation, if the pin of the refresh control signal EXREFB is used also [pins /, such as an output enable signal OE pin / existing] so that it may state below.

[0247] What is necessary is just to assign an intact pin (NC;No Connection) as a pin for inputting the static test mode signal MODE and the refresh control signal EXREFB. Since there is an intact pin in mass SRAM in almost all cases, most things for which it will be necessary to increase the number of pins only for the refresh control from the outside cannot be found. Moreover, you may make it use also [signal / which is not already used among a certain signals at the time of refresh] about the refresh control signal EXREFB. As a candidate of such a signal, the output enable signal OE mentioned above, the selection signals UB (Upper Byte) and LB (Lower Byte) (neither is illustrated) for choosing the cutting tool who should output and input between the exteriors, etc. can be considered. Although the refresh control signals REFA and REFB are inputted into the direct multiplexer 261 grade in drawing 26, you may make it make a buffer intervene incidentally.

[0248] Next, actuation of the semiconductor memory by the above-mentioned configuration is explained. Here, since it is completely the same as actuation of the 1st operation gestalt, the actuation when setting the static test mode signal MODE as "L" level is not repeated. Therefore, suppose that the actuation in the static test mode when making the static test mode signal MODE into "H" level here is explained in full detail. Drawing 27 is the timing chart which showed the timing of the signal supplied to a semiconductor memory from circuit tester equipment with refresh address R_ADD. Moreover, drawing 28 is the flow chart which showed the test procedure of the semiconductor memory carried out within circuit tester equipment.

[0249] First, if a defect fixed from the first is in a chip or there is a memory cell with an inferior hold property, since the semantics which tests refresh actuation will be lost, the hold trial is carried out in advance (step S1 of drawing 28). What is necessary is just to perform the hold trial itself according to the test procedure same with carrying out with the commodity-grade DRAM. That is, when it reads after carrying out predetermined time continuation of the condition of having performed the writing to the memory cell array 6, and having forbidden refresh, the value of the refresh cycle doubled with the shortest memory cell of the hold time will be decided by adjusting the predetermined time (namely, refresh cycle) concerned so that it may be in agreement with the data which the data by which reading appearance was carried out wrote in. Since refresh actuation of the both sides by the refresh demand generated inside and

the refresh demand from the outside is no longer performed at all by setting the static test mode signal MODE and the refresh control signal EXREFB as "H" level with both these operation gestalten in that case, the condition of having forbidden refresh is easily realizable.

[0250] next, circuit tester equipment writes in the test pattern beforehand to the memory cell array 6, in order to verify whether refresh actuation was performed correctly at step S13 concrete -- later (step S2). Here, since the object verifies the normality of refresh actuation, all bits will use the test pattern of "1" (namely, data corresponding to the condition that each memory cell holds high potential).

[0251] Next, circuit tester equipment makes the static test mode signal MODE change on "H" level, and makes a semiconductor memory shift to a static test mode (step S3; time of day t230 of drawing 27). In addition, since refresh will be immediately performed as the refresh control signal EXREFB is "L" level when the static test mode signal MODE is made into "H" level, circuit tester equipment makes the refresh control signal EXREFB change on "H" level to making the static test mode signal MODE into "H" level, and coincidence. But the refresh control signal EXREFB may be made into "H" level before rather than it makes the static test mode signal MODE into "H" level.

[0252] By such setting out, inside a semiconductor memory, since refresh control signal REFA' is set to "L" level, even if a single shot pulse occurs in the address change detecting signal ATD, it is lost that refresh is started inside a semiconductor memory. In order to choose the refresh control signal EXREFB, it stops moreover, influencing actuation, no matter a multiplexer 261 may have a refresh timer in the refresh control circuit 304 in what condition. And only when a negative single shot pulse is given to the refresh control signal EXREFB, it will be in the condition that refresh is performed. Also after this, in addition, maintaining the static test mode signal MODE during the period when circuit tester equipment is testing is continued with "H" level.

[0253] Next, circuit tester equipment initializes the value of time amount T at "-10ns" (step S4). The time amount T said here is the time amount which specified to what kind of timing Address Address would be changed, when based on the event of bringing down the refresh control signal EXREFB. If this time amount T is a negative value, only time amount "-T" means changing Address Address at the last event rather than it brings down the refresh control signal EXREFB. On the other hand, if time amount T is a positive value, after bringing down the refresh control signal EXREFB and time amount T passes, it means changing Address Address. With this operation gestalt, it is investigating whether the nonconformity by the time relation between the change timing of Address Address and the initiation timing of refresh occurs by carrying out adjustable [of the time amount T] by unit for "1ns" within the limits of - "+10ns" for "- 10ns."

[0254] Next, circuit tester equipment initializes the value of the count R of refresh to "0" (step S5). A part for the count of predetermined is refreshed about the value of the time amount T which is this operation gestalt (refresh of the count which is usually equivalent to a part for the number of a word line), and the memory cell array 6 whole is refreshed so that it may mention later. That is, this count R of refresh is equivalent to the counter for memorizing the count of the refresh carried out about the value of each time amount T. In addition, with this operation gestalt, it considers as "512" books by making the number of a word line into an example.

[0255] Next, when time of day t231 comes, circuit tester equipment changes the value of Address Address, and makes the address change detecting signal ATD generate a positive single shot pulse (step S6). Here, the address Address before and behind change may be what kind of value, and may change which bit of Address Address. However, since Address Address is changed in order to generate a noise, it is desirable for noises to be a paste and the pattern with which a noise becomes large and it becomes empty most as a change pattern of Address Address. The pattern which reverses all the bits of Address Address simultaneously as a change pattern of Address Address from such a thing is desirable.

[0256] Next, circuit tester equipment is set as the timer with which the interior of circuit tester equipment does not illustrate the time amount T (it is the absolute value of time amount T since time amount T may be negative at accuracy) initialized by step S4 (step S7). And circuit tester equipment stands by, without doing anything until this time amount (this event "10ns") passes (step S8 is "NO"), and "10ns" after time

of day t231 -- passing -- time of day t232 -- becoming (step S8 being "YES") -- circuit tester equipment makes the refresh control signal EXREFB change on "L" level, and makes refresh actuation start (step S9). In addition, the address counter in the refresh control circuit 304 shall output "R1" ($R1=0 - 511$ [decimal number]) as a value of refresh address R_ADD at this event.

[0257] Then, if predetermined time passes since time of day t232 and time of day t233 comes, circuit tester equipment will return the refresh control signal EXREFB to "H" level, and will terminate refresh actuation (step S10). In addition, what is necessary is just to make it the time amount same as this predetermined time as the time of day t54-t56 which makes the refresh control signal REFB "L" level in drawing 7. And if time of day t234 comes, inside a semiconductor memory, the refresh control circuit 304 will update the value of refresh address R_ADD to "R1+1" in preparation for the next refresh in response to the standup of the refresh control signal EXREFB.

[0258] Thus, the details actuation during the time of day t230-t234 described above is the same as the actuation in the time of day t53-t57 of drawing 7, and a basic target. However, with this operation gestalt, refresh address R_ADD was not updated to timing, such as falling of the address change detecting signal ATD, like the 1st operation gestalt, but when the static test mode signal MODE serves as "H" level, refresh address R_ADD is updated because the refresh control signal EXREFB starts.

[0259] On the other hand, circuit tester equipment judges whether it refreshed by the number of a word line, after only "1" makes the value of the count R of refresh increase corresponding to renewal of refresh address R_ADD (step S11). In this case, it is that (step S12 is "NO") which is still being refreshed only once, and circuit tester equipment returns processing to step S6, and performs processing same with having stated until now, without changing the value of time amount T. That is, the refresh control signal EXREFB is made to change on "L" level at the time of day t236 when Address Address was changed at time of day t235 at, and 10ns passed, and refresh actuation is made to start about the address "R1+1." And after predetermined time's passing and returning the refresh control signal EXREFB to "H" level, refresh address R_ADD is updated to the next address.

[0260] And the same actuation is repeated until refresh of 512 Motome's word line (refresh address R_ADD is "R1-1" at drawing 27) is completed at time of day t241 after this (step S12 is "YES"). Incidentally, in drawing 27, it only writes from the convenience of a graphic display "R1-1" and "R1+1". [the refresh address before and behind the address R1] However, if it says to accuracy, and the value of the address "R1-1" is 511 (decimal number) if the value of the address R1 is "0", and the value of the address R1 is "511" (decimal number), the value of the address "R1+1" will be set to "0".

[0261] If refresh is completed about the memory cell array 6 whole as mentioned above, it will verify whether nonconformity has produced circuit tester equipment in refresh actuation by the noise resulting from address change. Therefore, circuit tester equipment collates with the test pattern written in at previous step S2 in detail, reading data from the memory cell array 6 one by one (step S13). Consequently, as for any or at least one, since the chip with which it tested when it was an inequality (step S14 is "NG") is a defective which has produced the nonconformity mentioned above, data classifies this into the chip of disposal (step S15).

[0262] In addition, from the convenience of a graphic display, by drawing 28, after collating all memory cells in step S13, it can take also so that a check result may be judged in step S14. However, if at least one memory cell from which a collating result will become inharmonious if it carries out from a viewpoint of test time amount was detected, even if it judges the chip to be disposal (step S15), without collating about the remaining memory cells, naturally is satisfactory.

[0263] circuit tester-on the other hand equipment if it is that all whose data corresponds as a result of collating in step S13 (step S14 is "O.K."), since nonconformity has not arisen [time amount T] about "-10ns" -- time amount T -- "1ns" -- an increase -- after carrying out (step S16), it judges whether this time amount T has reached the predetermined value. With this operation gestalt, in order to test till "+10ns", this predetermined value is set to "+11ns."

[0264] And since time amount T is "-9ns" (step S17 is "NO"), it is made for circuit tester equipment to repeat the processing same with processing having been returned by step S5 and having stated to until at

this event (time of day t243-t250). Since the point of difference between the actuation in this case and the actuation mentioned above changes Address Address, it is that the period until it brings down the refresh control signal EXREFB is "9ns" (it is time of day t243-t244 by the test to the first word line).

[0265] Circuit tester equipment tests about each value of time amount T, increasing time amount T "1ns" every in this way. And if nonconformity has arisen in refresh under the effect of the noise by change of Address Address, this nonconformity will be detected with a memory check (step S13). On the other hand, without detecting such nonconformity in any way, if the check result of step S14 is "O.K." about all the time amount T that has "-10ns" within the limits of - "+10ns", it can judge with what is the normal chip (excellent article) with which the semiconductor memory which the judgment result of step S17 serves as "YES", and serves as an object for a test is not influenced of the noise by change of Address Address eventually.

[0266] In addition, in the above actuation, when the value of time amount T is "0", circuit tester equipment will bring down the refresh control signal EXREFB to changing Address Address and coincidence. That is, in this case, circuit tester equipment will omit processing of steps S7-S8 in drawing 28, and will perform simultaneously processing of step S6 and step S9. When time amount T is a positive value, it is made to change Address Address on the other hand, when circuit tester equipment brings down the refresh control signal EXREFB first and time amount T passes. That is, the processing of step S6 and the processing of step S9 in drawing 28 will be replaced mutually in this case.

[0267] With this operation gestalt, it carries out adjustable [of the time relation between the timing of usual read-out / write-in actuation according the timing of refresh control signal REFA' and REFB' to the initiation timing of refresh, and address change] as a controllable configuration from the semiconductor-memory outside as mentioned above. For this reason, it migrates to the whole time amount range which can be taken as these both time relation, and becomes verifiable, before shipping that the nonconformity resulting from the effect of the noise generated by address change does not arise.

[0268] Although time amount T was incidentally changed within the limits of - "+10ns" by unit for "1ns" for "-10ns" by the explanation mentioned above, the time amount value of a time amount range or unit width of face of what is necessary being just to determine suitably according to each semiconductor memory to which it does not pass over it to an example also until this gets tired, but it carries out adjustable [of the time amount T] is natural.

[0269] Moreover, the explanation mentioned above explained this invention on the assumption that the 1st operation gestalt, but it is also completely the same as when it applies to the 2nd operation gestalt - 6th operation gestalt. That is, in these operation gestalt, the connection relation between the refresh control circuit 304 (refresh control circuit 204), a multiplexer 5, and the low control circuit 13 (the low control circuit 313, low control circuit 353) is completely the same as the 1st operation gestalt. Therefore, what is necessary is just to add the deformation completely same with having carried out to the configuration of drawing 1 to the configuration of drawing 12 , drawing 14 , drawing 17 , drawing 23 , or drawing 24 .

[0270] In addition, although it is made to perform refresh with each operation gestalt mentioned above from the rising edge of the single shot pulse generated in the address change detecting signal ATD, the logic of a single shot pulse is reversed and it may be made to perform refresh from the falling edge. This is completely the same also about each signal other than the address change detecting signal ATD.

[0271] Moreover, although each memory cell of memory cell array 6 grade shall be constituted from each operation gestalt mentioned above by 1 transistor 1 capacitor, the configuration of a memory cell is not limited to such a gestalt. Surely, from points, such as a chip size, although such a memory cell is the most desirable, with the semiconductor memory of this invention, the activity of memory cells other than 1 transistor 1 capacitor is not denied. That is, if it is a DRAM memory cell with a configuration smaller than the memory cell of general-purpose SRAM, even if it is not a 1 transistor 1 capacitor configuration, there is an effect which can reduce a chip size compared with general-purpose SRAM.

[0272] Moreover, the semiconductor memory by each operation gestalt mentioned above may be the gestalt with which the whole circuit is divided into some functional block, and is mounted in the chip with each separate functional block, although the whole circuit of your being the gestalt mounted on the single

chip shown in drawing 1 is natural. The mixed loading IC (integrated circuit) carried in the chip (a control chip and memory chip) with the control section which generates various kinds of control signals and address signals and a memory cell portion separate as a latter example can be considered. That is, a configuration which supplies various kinds of control signals to a memory chip from the control chip prepared in the exterior of a memory chip also belongs under the category of this invention.

[0273]

[Effect of the Invention] As explained above, according to the mode chosen from two or more kinds of modes, he operates each circuit in the equipment which is needed for self refresh for every circuit, or is trying to stop the actuation in invention according to claim 1, when it changes into a standby condition. Since it becomes unnecessary to operate an unnecessary circuit by this in refreshing, it becomes possible to reduce power consumption. For this reason, in the memory of general-purpose SRAM specification using the memory cell which needs refresh, false [SRAM], a commodity-grade DRAM, etc., low-power mode similar to the standby mode in general-purpose SRAM is realizable. Moreover, since it is [which is needed for self refresh] controllable whether each circuit is operated for every circuit, the peculiar standby mode which is not seen is realizable for general-purpose SRAM -- according to a user's needs and application, standby current is gradually reducible.

[0274] Moreover, in invention according to claim 2, when a memory cell array is constituted from two or more memory cell area by which refresh actuation is controlled independently, the mode is set up for every memory plate which consists of memory cell area and its circumference circuit, and each memory plate is operated, or the actuation is stopped. It becomes unnecessary to perform self refresh in the state of standby about the memory cell area where the information which this should just hold temporarily is memorized. Therefore, if it opts for whether a memory plate is operated according to assignment of the room which application etc. uses, it will become possible to suppress standby current in the form where it specialized in a user's needs and application, to the minimum.

[0275] Moreover, as it has the power supply means shared among two or more memory plates, according to the mode set up for every memory plate, it is controlling [whether current supply is performed on each memory plate from this power supply means, and] by invention according to claim 4 according to an individual. Thereby, it becomes possible [reducing standby current by small-scale circuitry] for the magnitude of a power supply means to increase in proportion to the number of memory plates, even if it is a time of preparing many memory plates, since it is lost.

[0276] Moreover, in invention according to claim 5, the input mode signal for standby is given and setting out of the mode is enabled for every memory plate. Thereby, even if a user's needs and application to be used change, it becomes possible to suppress standby current to the minimum, corresponding to such a change flexibly.

[0277] Moreover, in invention according to claim 6, the memory plate which should perform mode setting is specified based on the address inputted for mode setting. While cutting of a fuse can perform mode setting easily by this compared with the time of performing mode setting etc., the mode can be easily reset by the user side like usual read-out and usual writing. Therefore, it is not necessary to give the signal of dedication from the outside and to prepare the pin for the signal of such dedication for mode setting.

[0278] Moreover, the 3rd mode in which actuation of the both sides of the 1st mode in which the both sides of a refresh control circuit and a power circuit are operated, the 2nd mode in which stop actuation of a refresh control circuit and a power circuit is operated, a refresh control circuit, and a power circuit is stopped is formed, and it enables it to choose one of the modes from these in invention according to claim 7. Thereby, according to the device applied, its operating environment, etc., the necessity of the data-hold in a standby condition, the recovery time to an active state, current consumption, etc. are finely controllable from the outside. That is, in the 1st mode, since the power supply is supplied to the circuit required for self refresh, while being able to hold the data of a memory cell, time amount until it makes it shift to an active state from a standby condition can be made the shortest of three kinds of the modes. Moreover, in the 2nd mode, only a part to supply a refresh control means can reduce the consumed electric current rather than the 1st mode, and also when it shifts to an active state from a standby

condition, a semiconductor memory can be promptly used like the 1st mode. Furthermore in the 3rd mode, the consumed electric current can be made the smallest in three kinds of modes. Moreover, in invention according to claim 8, when there is a write request of the data beforehand decided for every mode to the predetermined address, or when an activation signal has a predetermined change, the mode is set up. By this, in order to set up a standby mode, it is not necessary to give the signal of dedication to a semiconductor memory and, and it is not necessary to prepare the pin for the signal of such dedication in a semiconductor memory.

[0279] And the control circuit by invention according to claim 9 to 16 supplies a control signal and an address signal from the exterior of a memory chip in which the memory cell was formed, and constitutes the semiconductor memory mentioned above with this memory chip. For this reason, the effect which claims 1 and 2 and the semiconductor memory by invention of four to 8 publication take and which was mentioned above, and the same effect are acquired, respectively by using claims 9-10 and the control circuit by invention of 12 to 16 publication.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

Drawing 1 It is the block diagram showing the configuration of the semiconductor memory by the 1st operation gestalt of this invention.

Drawing 2 It is the circuit diagram having shown the details configuration of the important section of the semiconductor memory by this operation gestalt.

Drawing 3 In the semiconductor memory by this operation gestalt, it is the timing chart which showed actuation in case read-out following refresh and this is carried out by 1 memory cycle.

Drawing 4 In the semiconductor memory by this operation gestalt, it is the timing chart which showed actuation when refresh is no longer performed from the middle and only read-out comes to be carried out.

Drawing 5 In the semiconductor memory by this operation gestalt, it is the timing chart which showed actuation in case the writing following refresh and this is carried out by 1 memory cycle.

Drawing 6 In the semiconductor memory by this operation gestalt, it is the timing chart which showed actuation when refresh is no longer performed from the middle and only writing or read-out comes to be carried out.

Drawing 7 In the semiconductor memory by this operation gestalt, it is the timing chart which shows actuation when self refresh by the refresh timer is performed.

Drawing 8 In the semiconductor memory by this operation gestalt, while refresh by the refresh timer is performed, it is the timing chart which showed actuation when read-out is performed successingly.

Drawing 9 In the semiconductor memory by this operation gestalt, it is the timing chart which showed read-out and the writing of refresh when it writes in in 1 memory cycle and an enable signal is inputted behind time, and a dummy.

Drawing 10 In the semiconductor memory by this operation gestalt, it is the timing chart which showed refresh when it writes in after the self refresh by the refresh timer began [be / it / under / 1 memory-cycle / setting], and an enable signal is inputted behind time, read-out of a dummy, self refresh, and writing.

Drawing 11 In the semiconductor memory by this operation gestalt, it is the timing chart which shows the self refresh following writing when it writes in in 1 memory cycle, an enable signal is inputted behind time and the refresh demand by the refresh timer is during writing, and this.

Drawing 12 It is the block diagram showing the configuration of the semiconductor memory by the 2nd operation gestalt of this invention.

Drawing 13 In the semiconductor memory by this operation gestalt, it is the timing chart which showed actuation when refresh is no longer performed from the middle and only read-out comes to be carried out.

Drawing 14 It is the block diagram showing the configuration of the semiconductor memory by the 3rd operation gestalt of this invention.

Drawing 15 It is the timing chart which shows read-out actuation of the semiconductor memory by this operation gestalt.

Drawing 16 It is the timing chart which shows write-in actuation of the semiconductor memory by this operation gestalt.

Drawing 17 It is the block diagram showing the configuration of the semiconductor memory by the 4th operation gestalt of this invention.

Drawing 18 It is the circuit diagram having shown the details configuration of the standby mode control circuit by this operation gestalt.

Drawing 19 It is the circuit diagram having shown the details configuration of the refresh control circuit by this operation gestalt.

Drawing 20 It is the circuit diagram having shown the detailed configuration of the boost power supply by this operation gestalt.

Drawing 21 It is the circuit diagram having shown the detailed configuration of the substrate voltage generating circuit by this operation gestalt.

[Drawing 22] It is the circuit diagram having shown the detailed configuration of the reference voltage generating circuit by this operation gestalt.

[Drawing 23] It is the block diagram showing the configuration of the important section of the semiconductor memory by the 5th operation gestalt of this invention.

[Drawing 24] It is the block diagram showing the configuration of the important section of the semiconductor memory by the 6th operation gestalt of this invention.

[Drawing 25] In sense actuation of a DRAM memory cell, it is the timing chart which showed signs that the potential of the bit line pairs BL/BL changed with time amount progress.

[Drawing 26] It is the block diagram showing the configuration of the semiconductor memory by the 7th operation gestalt of this invention.

[Drawing 27] In this operation gestalt, it is the timing chart which showed the timing of the signal supplied to a semiconductor memory from circuit tester equipment with refresh address R_ADD.

[Drawing 28] In this operation gestalt, it is the flow chart which showed the test procedure of the semiconductor memory carried out within circuit tester equipment.

[Description of Notations]

1,141,151 Address buffer

2,142 Latch

3,143,163 ATD circuit

4,164,204,304 Refresh control circuit

5,165,261 Multiplexer

6 Memory Cell Array

61 -6N Memory Cell Area

7 71-7n Low decoder

8, 81-8n, 148 Column decoder

9, 91-9n, 149 Sense amplifier reset circuit

10 I/O Buffer

11 R/W Control Circuit

12 Latch Control Circuit

13,173,313,353 Low control circuit

14 Column Control Circuit

15,151, 152, 215 Boost power supply

16,161, 162, 216 Substrate voltage generating circuit

17,171, 172, 217 Reference voltage generating circuit

152 Bus Decoder

153 Bus Selector

201 Standby Mode Control Circuit

262 NOR Gate

263 Inverter

301,351 PowerDown Control circuit

350 Power Circuit

3521 -352N Switching Device

354 Program Circuit

[Translation done.]